

# $\Sigma p$ 散乱実験のための MPPC多チャンネル読み出しシステムの 開発

東北大理 塩崎健弘、三輪浩司、赤澤雄也

大阪大理 本多良太郎

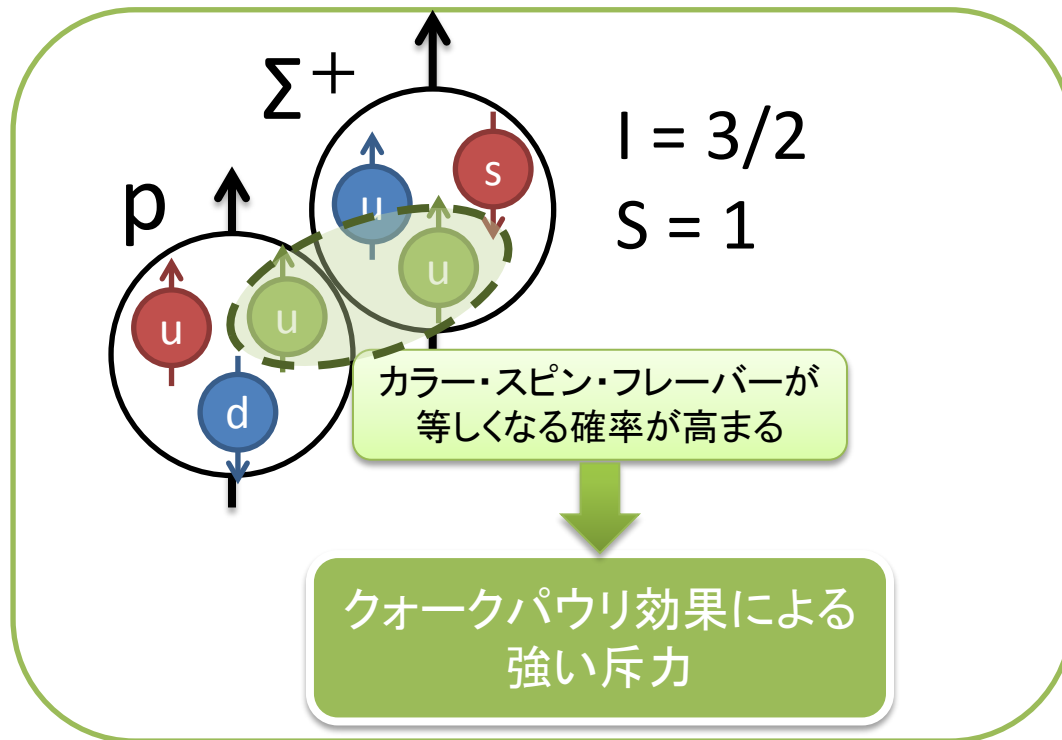
KEK Open-It 池野正弘、内田智久

# 目次

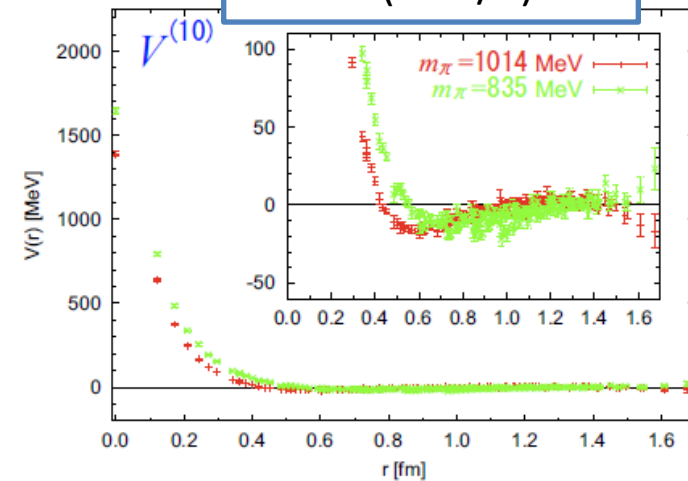
- 研究背景と目的
- 本研究VME-EASIROCボードの開発
- ファイバートラッカーを用いた性能評価
- まとめ

# $\Sigma N$ 相互作用の研究の意義

NN相互作用の斥力芯の起源の一つと考えられているクォークパウリ効果の検証



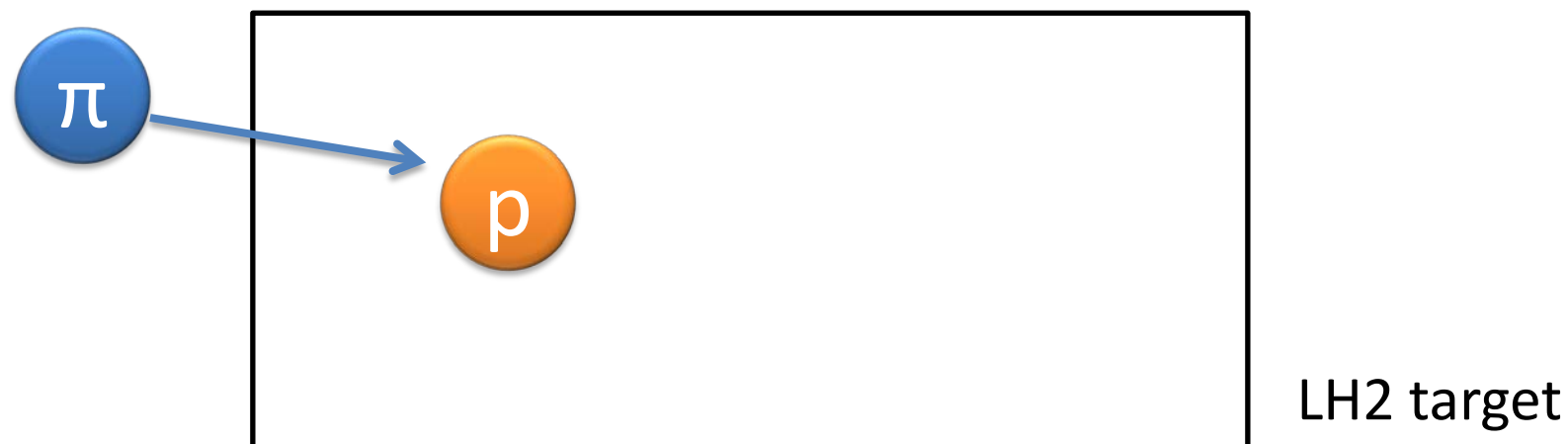
Lattice QCDの結果  
 $\Sigma N(I = 3/2)$



Lattice QCD,  
T. Inoue et al.  
Prog. Theor. Phys. 124 (2010) 4

$\Sigma p$ 散乱の微分散乱断面積の測定による $\Sigma N$ 相互作用の解明

# $\Sigma p$ 散乱実験 (J-PARC E40)



# $\Sigma$ p散乱実験(J-PARC E40)

ビームラインスペクトロメーターで  
運動量を測定

後方スペクトロメーター(KURAMA)で  
運動量を測定

$\pi$

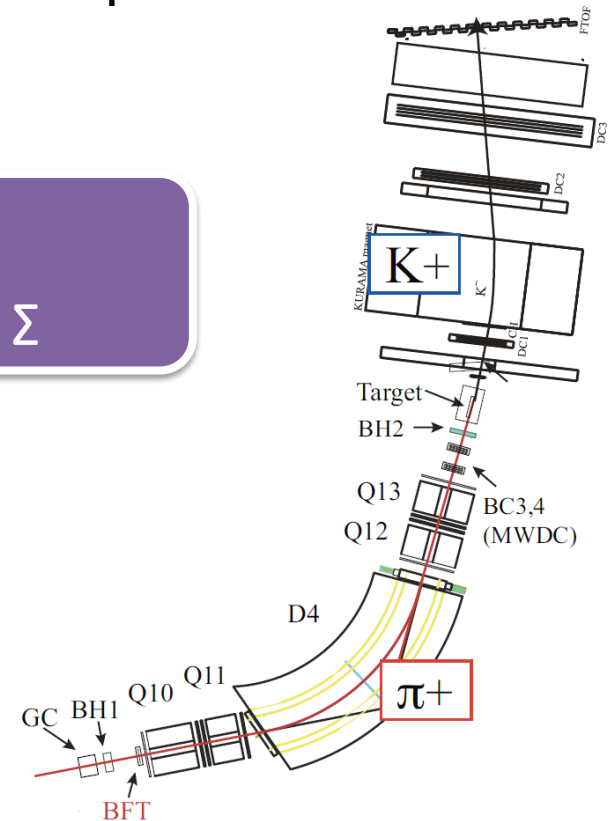
p

$\Sigma$

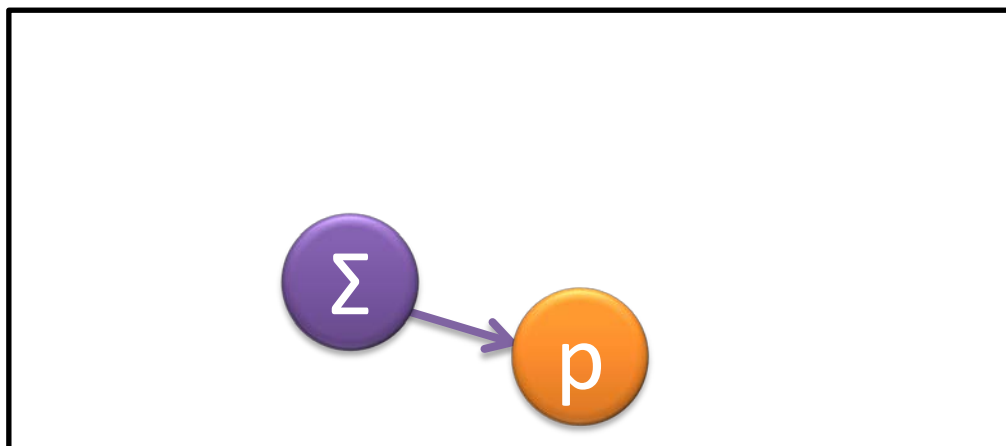
$K^+$

$\Sigma$ の運動量を再構成

$\Sigma$ 生成

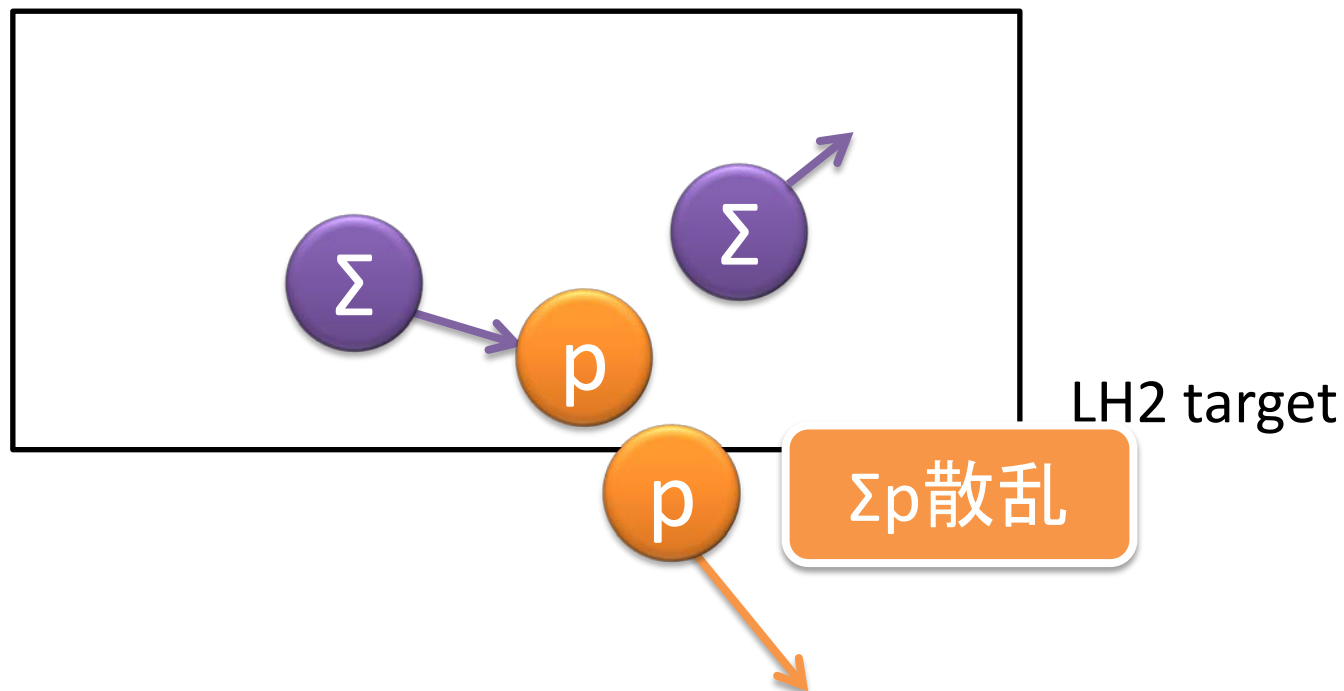


# $\Sigma p$ 散乱実験 (J-PARC E40)

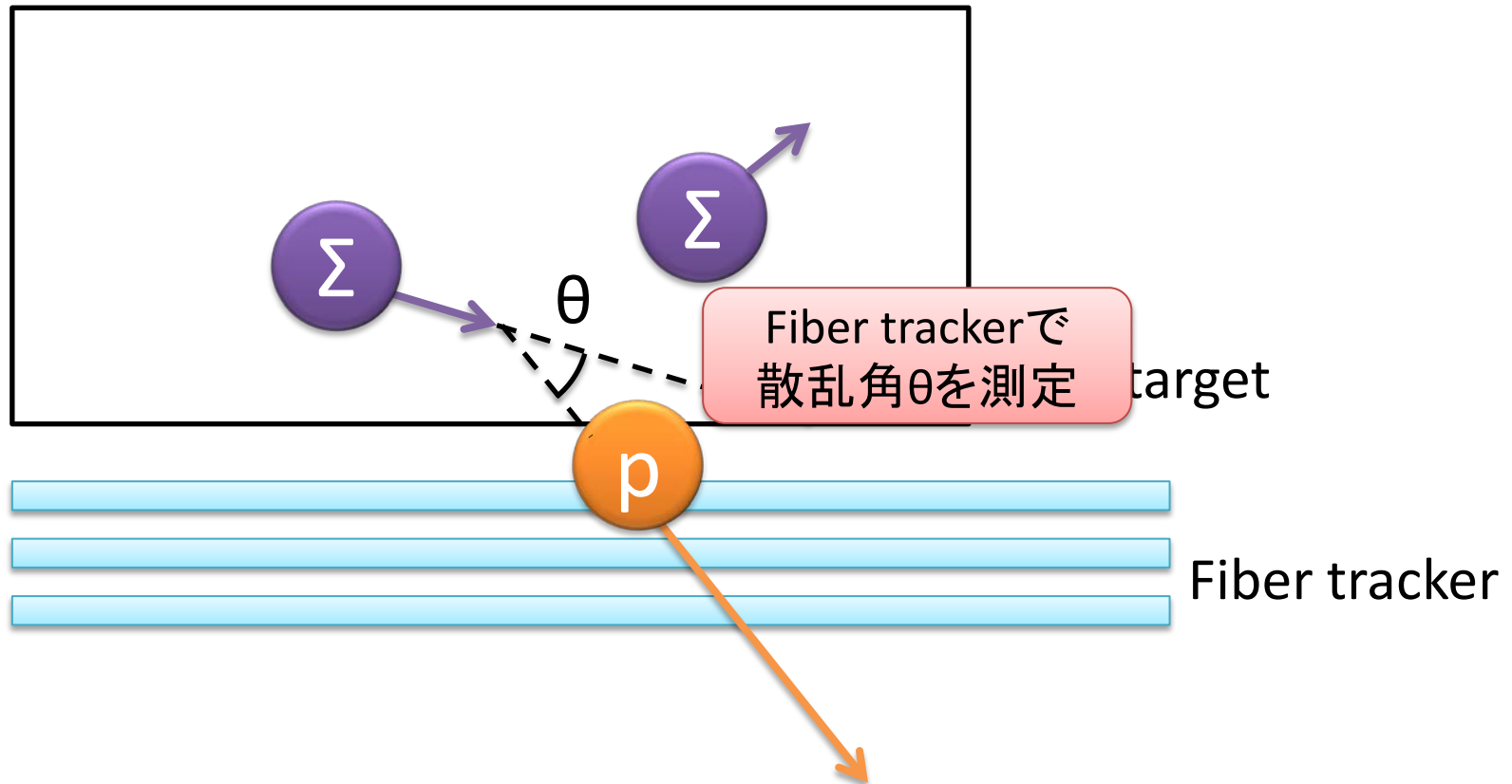


LH2 target

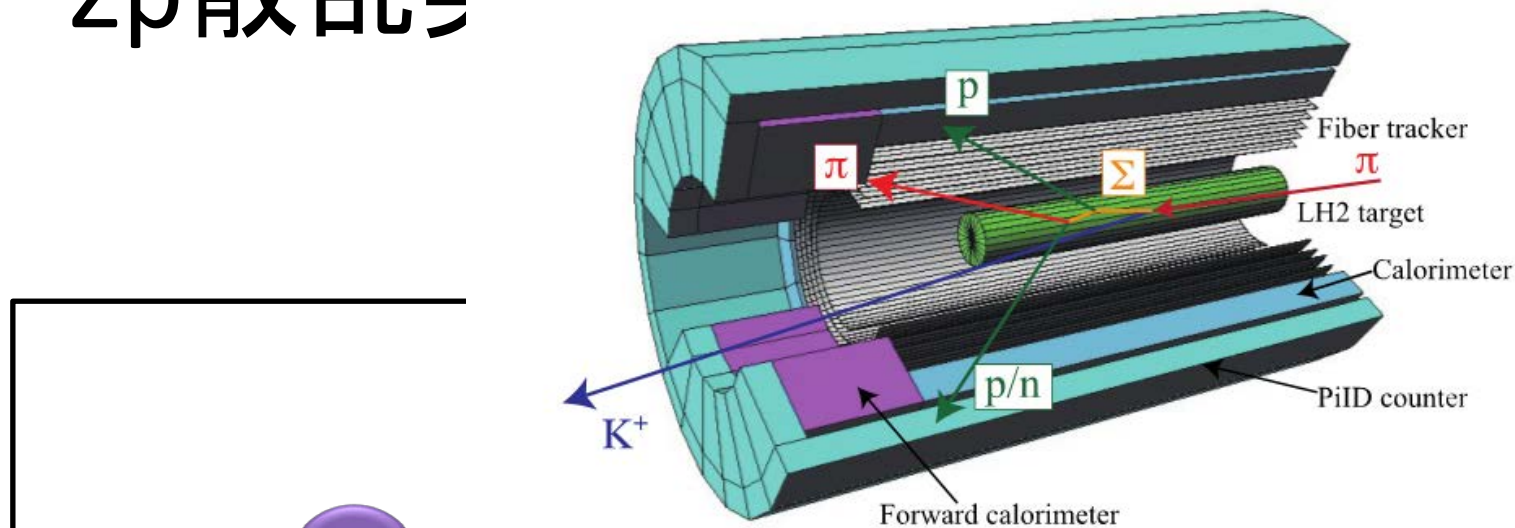
# $\Sigma p$ 散乱実験(J-PARC E40)



# $\Sigma p$ 散乱実験(J-PARC E40)



# $\Sigma p$ 散乱実験 (IL-DARC E10)



Fiber tracker、Calorimeterで陽子のエネルギーを測定

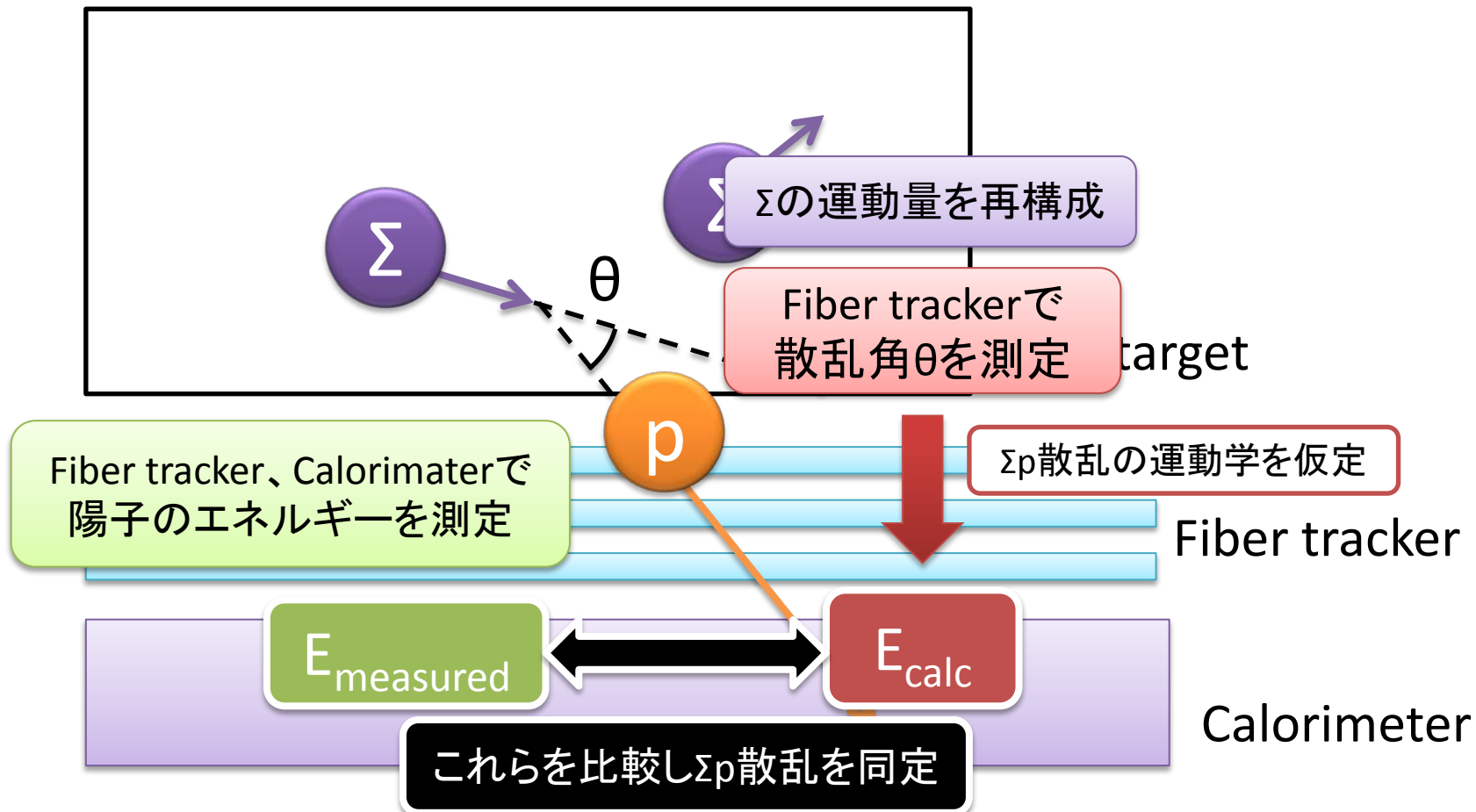
$p$

Fiber tracker

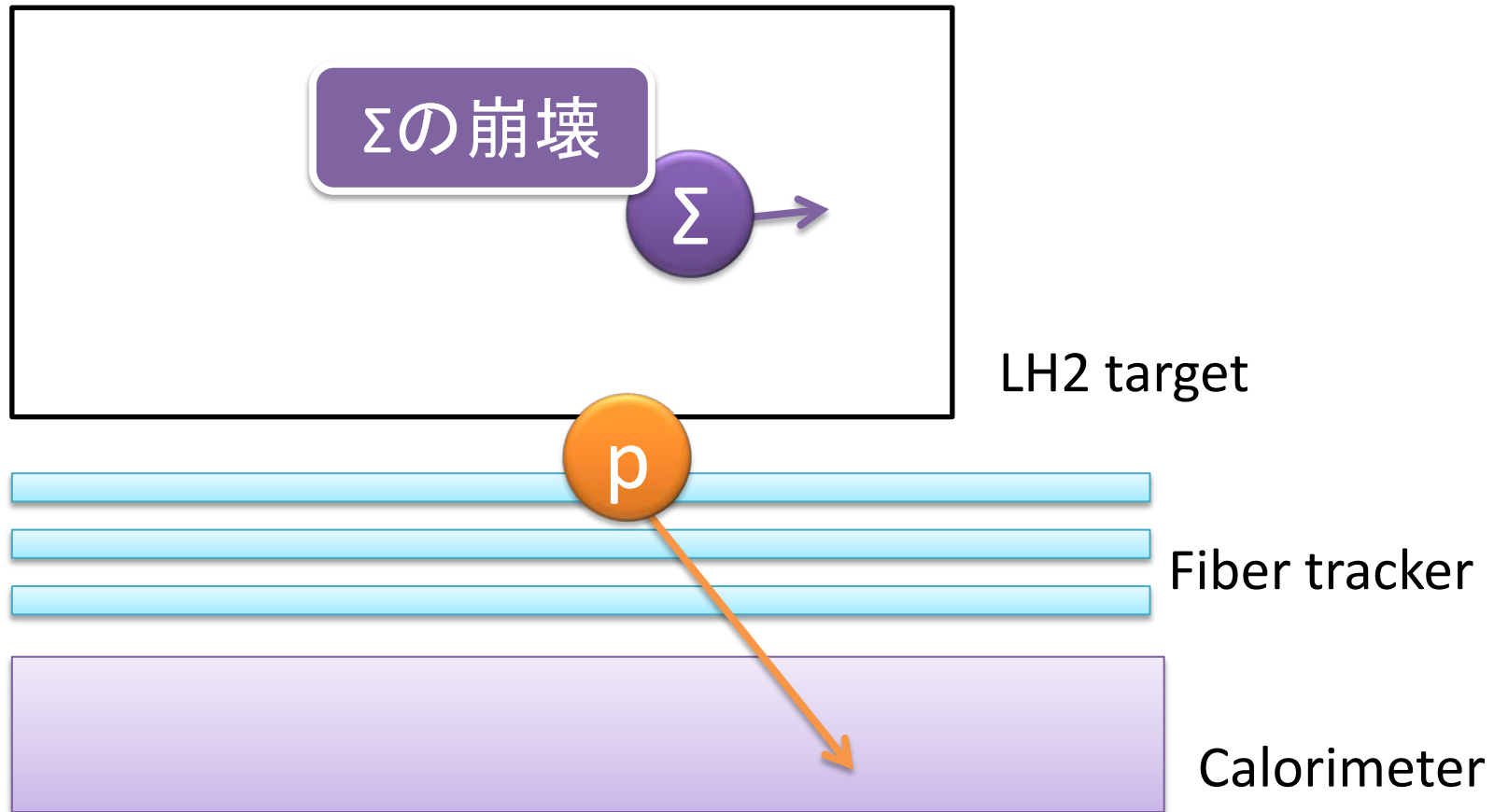
Calorimeter

Calorimeter

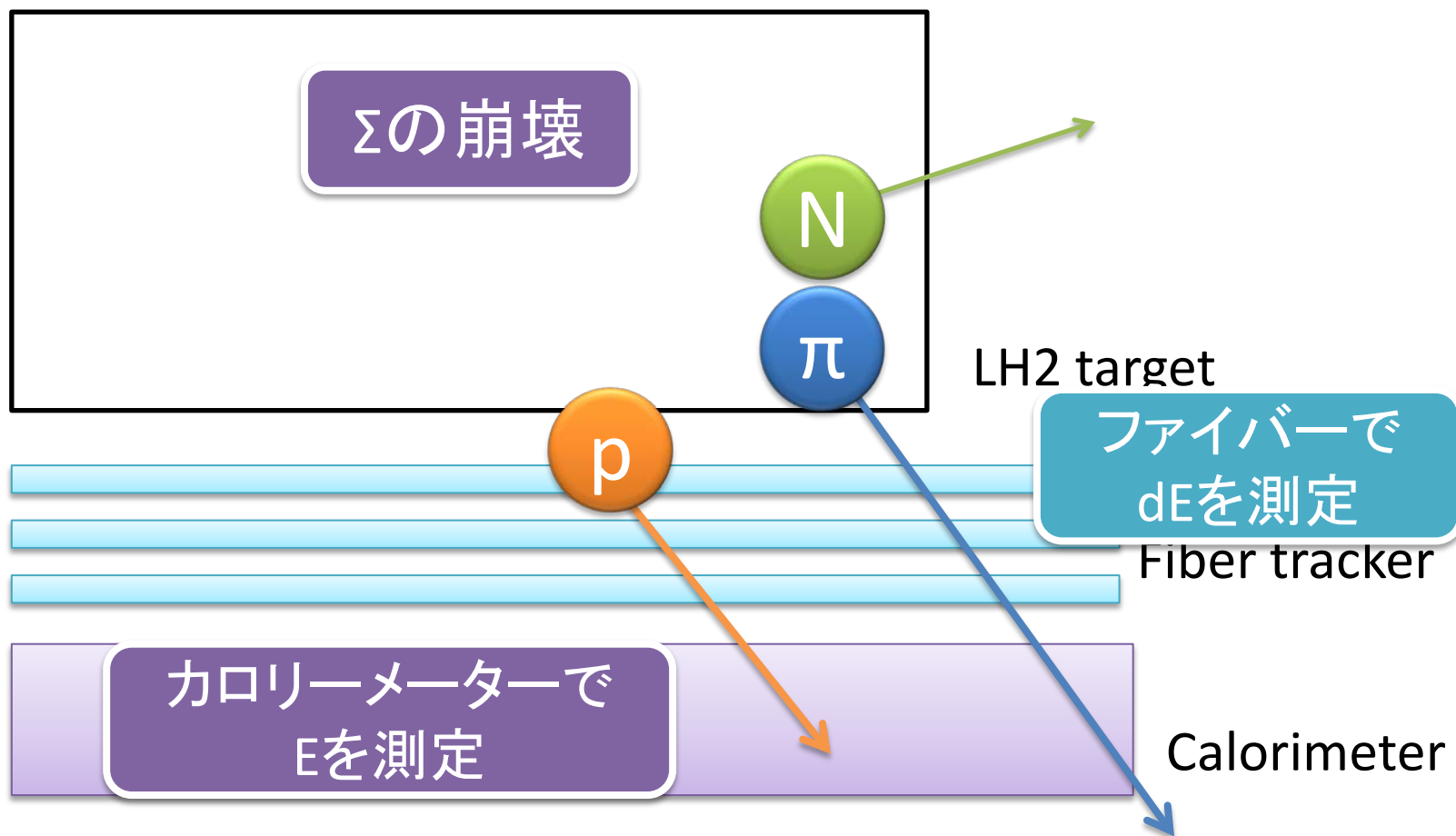
# $\Sigma p$ 散乱実験(J-PARC E40)



# $\Sigma p$ 散乱実験 (J-PARC E40)

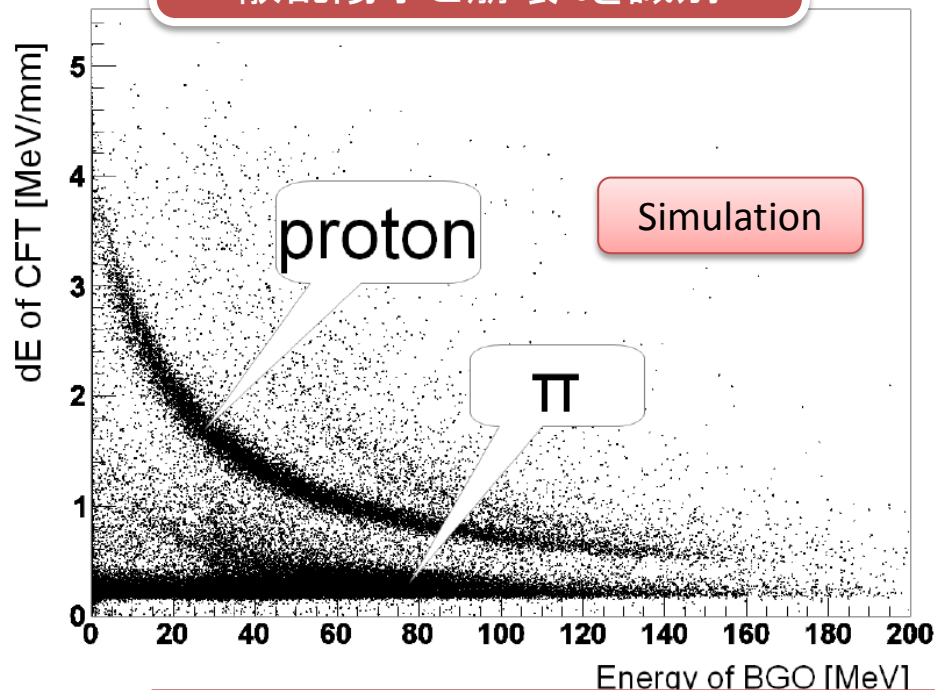


# $\Sigma$ p散乱実験(J-PARC E40)



dEとEの相関から  
散乱陽子と崩壊 $\pi$ を識別

# (J-PARC E40)



N

$\pi$

LH2 target

赤澤雄也. シグマ陽子散乱実験のための散乱陽子検出器群の開発. Master's thesis, 東北大学大学院, 理学研究科物理学専攻, 2013.

ファイバーで  
dEを測定

Fiber tracker

カロリメーターで  
Eを測定

Calorimeter

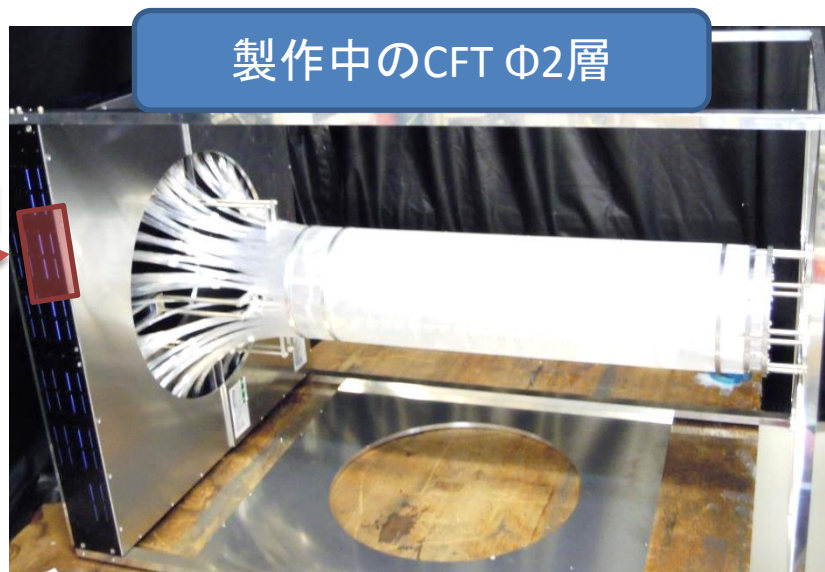
# Cylindrical Fiber Tracker(CFT)

- J-PARC E40実験の利点
  - 大強度ビームを使用可 20M/spill (1 spill = 2 s)
- 散乱陽子トラッカーに対する要求
  - 5 cm中に8層を設置する小型な構造
  - 1mmあたり約14 kHzのレートで安定して動作



装着

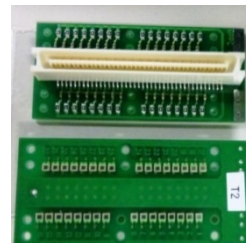
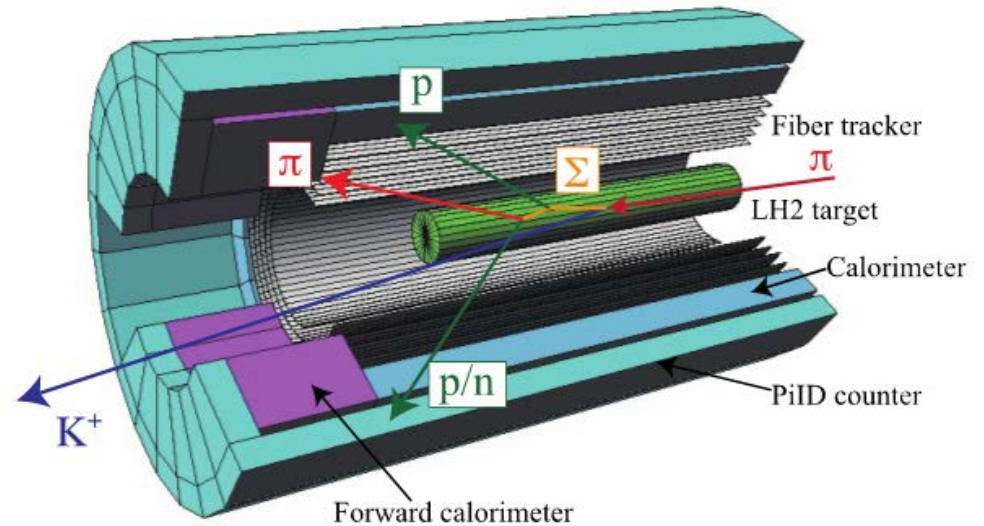
サイズを考慮しMPPCで読み出し



# Cylindrical

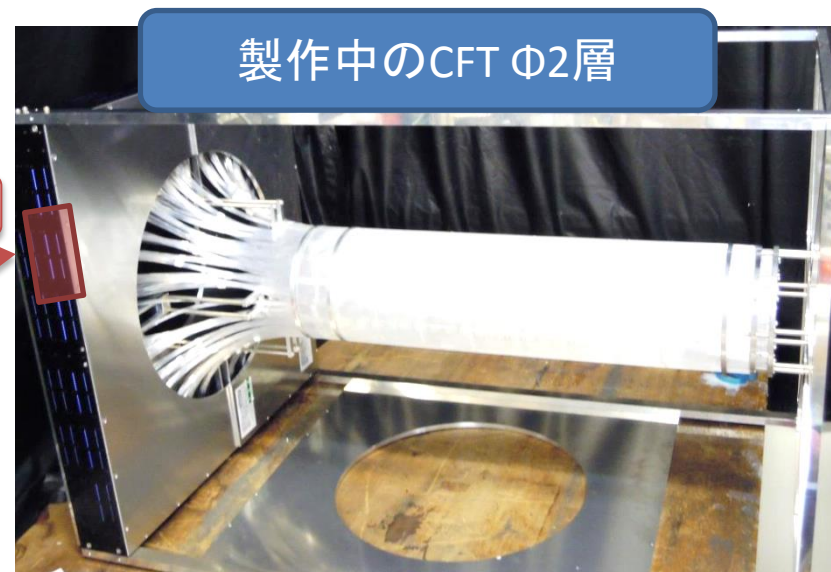
- J-PARC E40実験の  
– 大強度ビームを用いた
- 散乱陽子トラッカ

- 5 cm中に8層を設置する小型な構造
- 1mmあたり約14 kHzのレートで安定して動作



装着

サイズを考慮しMPPCで読み出し

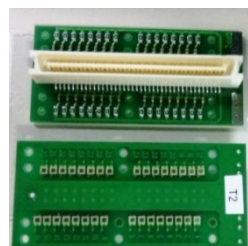


# Cylindrical Fiber Tracker(CFT)

## LEADER E40実験の利点

### 読出をする際の課題

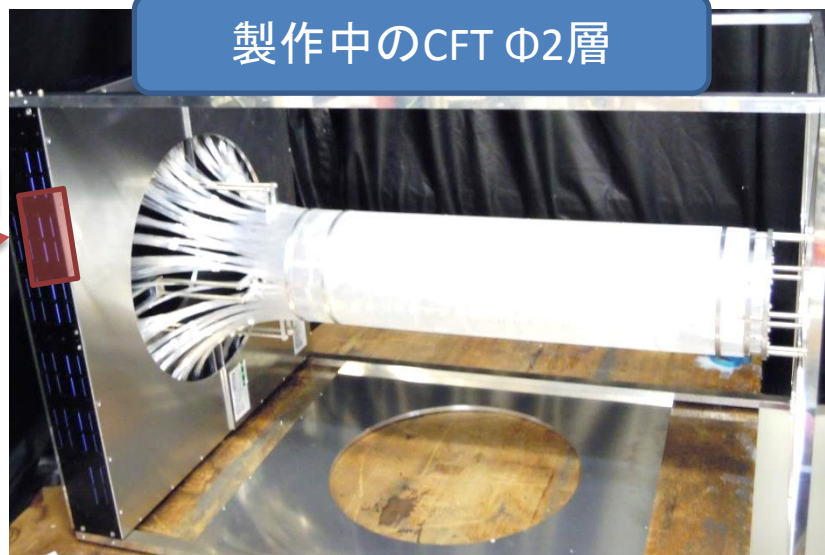
- 散舌
  - 5
  - フ
- ・読出しチャンネル数が大量(約5000 ch)
- ・MPPCのバイアス調整を個別に行う必要あり
- ・MPPCの信号をさらに増幅する回路が必要




装着

サイズ、磁場の影響  
を考慮しMPPCで読み出し

製作中のCFT Φ2層

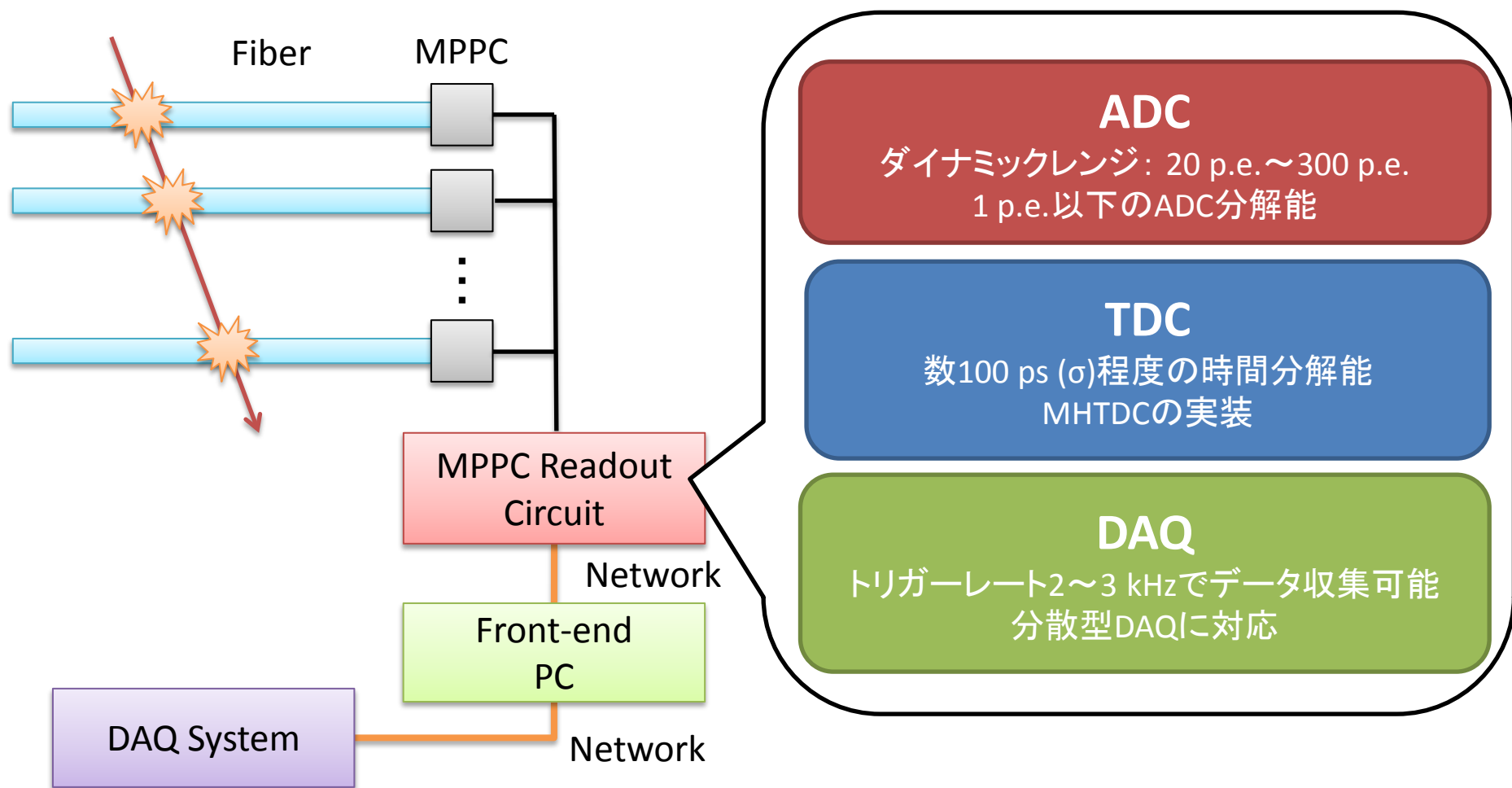




# 本研究の目的

- J-PARC E40実験におけるファイバー読み出しシステムの開発
  - MPPC多チャンネル読み出し回路VME-EASIROCの回路デザイン・ファームウェアの開発
  - 読み出しシステムの性能評価

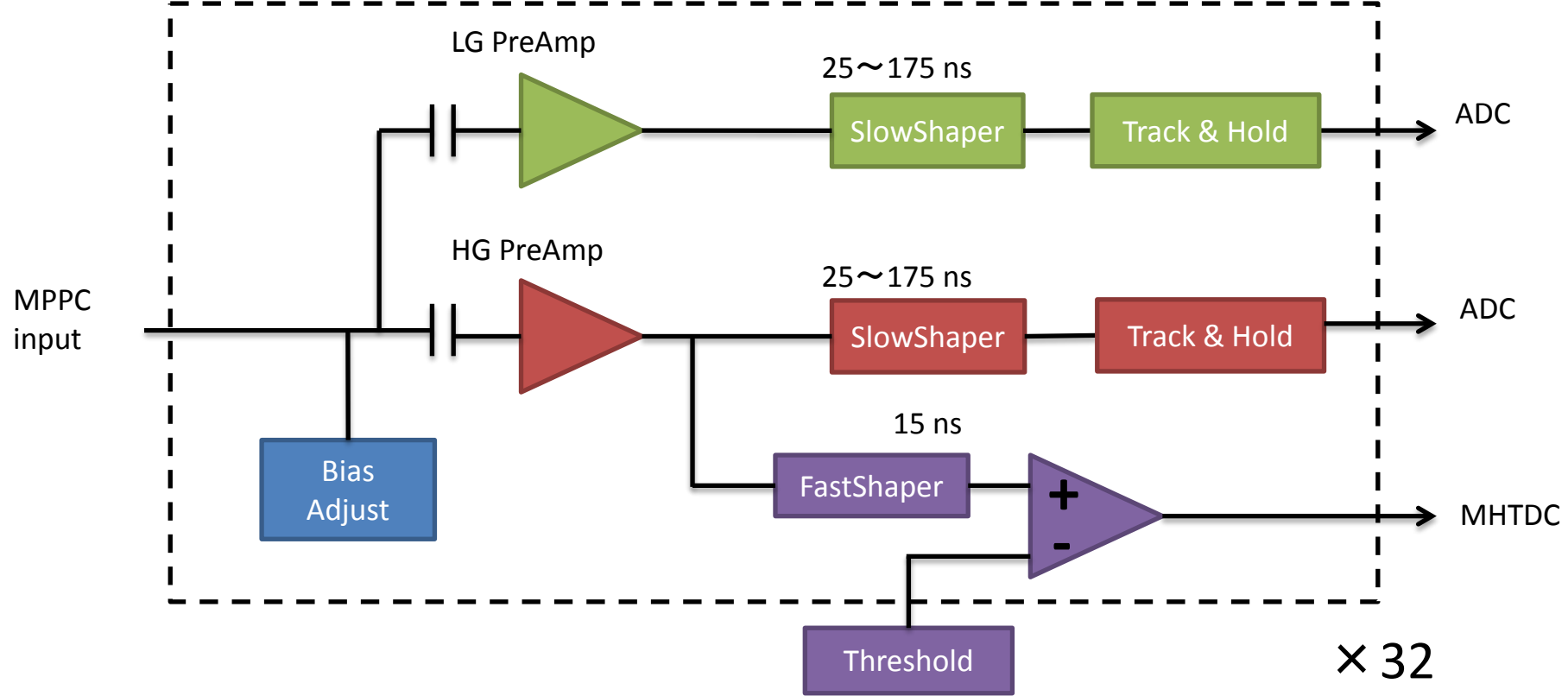
# ファイバー読み出しシステムに対する要求



➡ MPPC読み出し用ASICとしてEASIROCを採用

# MPPC読み出し用ASIC: EASIROC

- OMEGA/IN2P3製の32 chのMPPC読み出し用ASIC
- ダイナミックレンジ: 1 p.e. ~ 2000 p.e.
- 電圧保持回路(Track & Hold回路)の出力をシリアルに出力
- Discriminator出力をパラレルに出力
- バイアスを個別に調節





Hold timing

Analog out w/ hold

Analog out w/o hold

Discriminator out

# ASIC: EASIROC

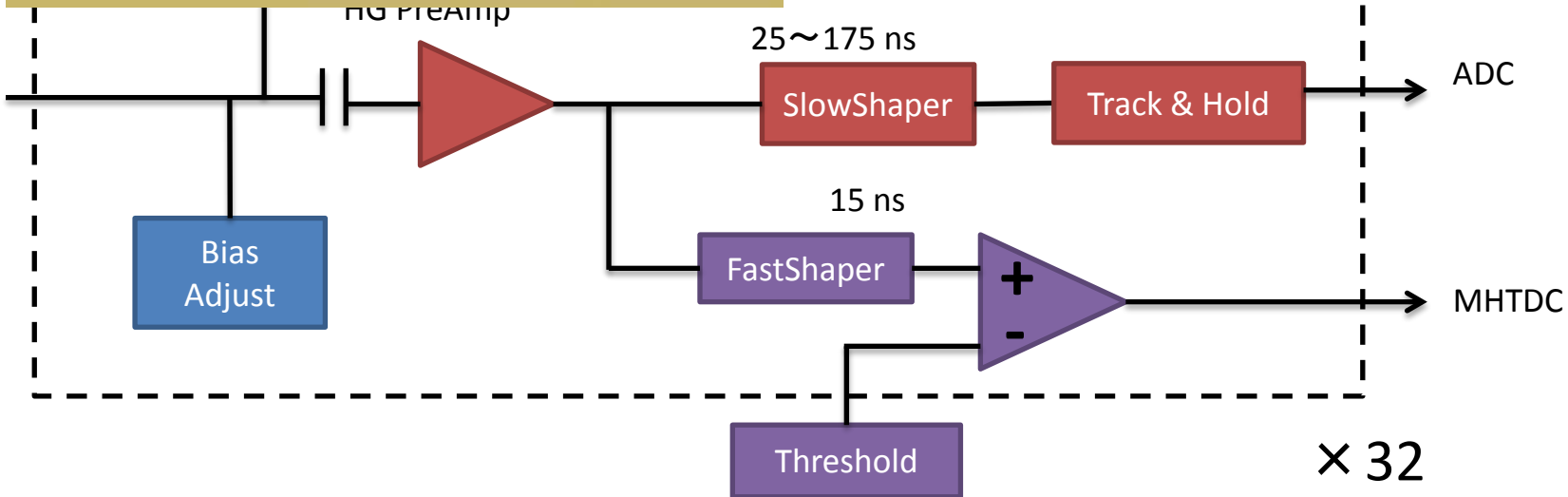
読み出し用ASIC

p.e.

の出力をシリアルに出力  
出力

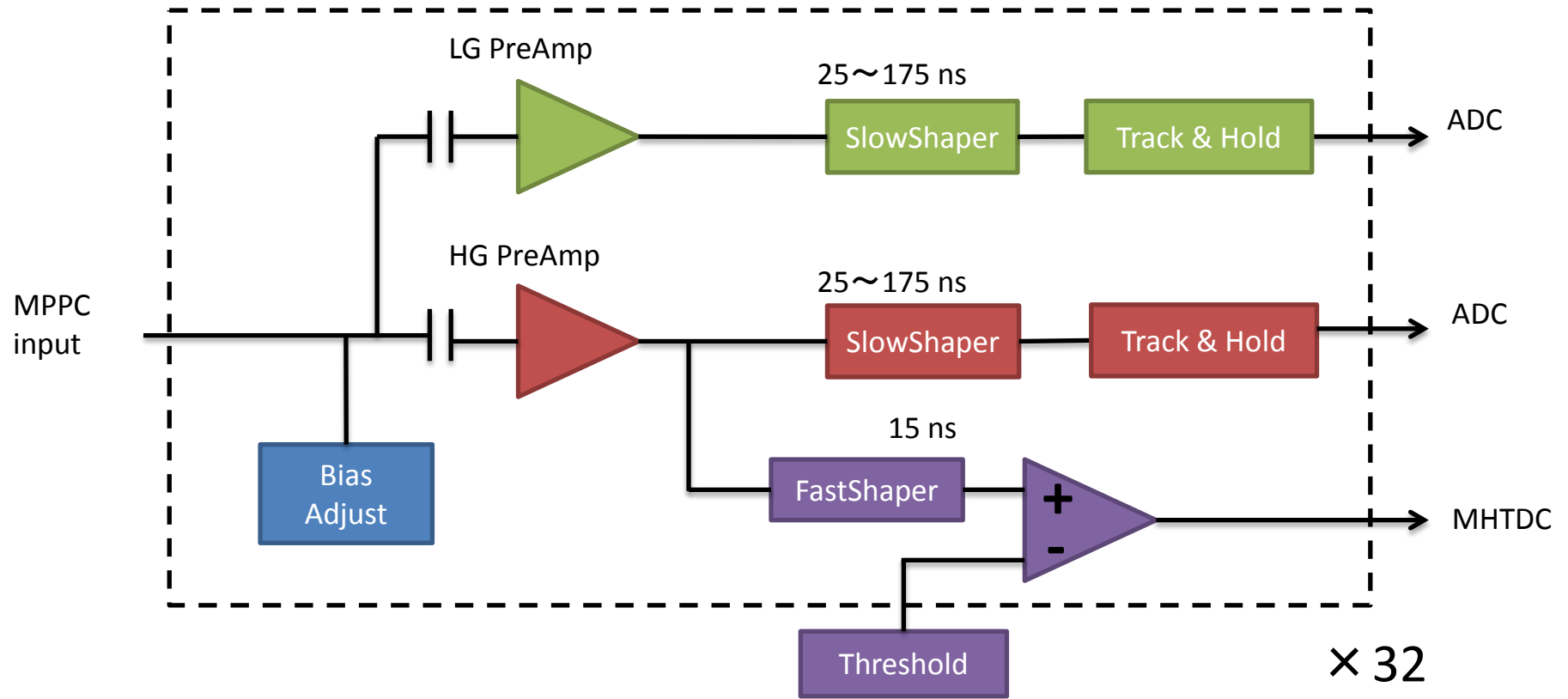


MPPC input



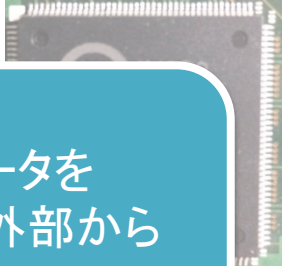
# MPPC読み出し用ASIC: EASIROC

- OMEGA/IN2P3製の32 chのMPPC読み出し用ASIC
- ダイナミックレンジ: 1 p.e. ~ 2000 p.e.
- 電圧保持回路(Track & Hold回路)の出力をシリアルに出力
- Discriminator出力をパラレルに出力
- バイアスを個別に調節

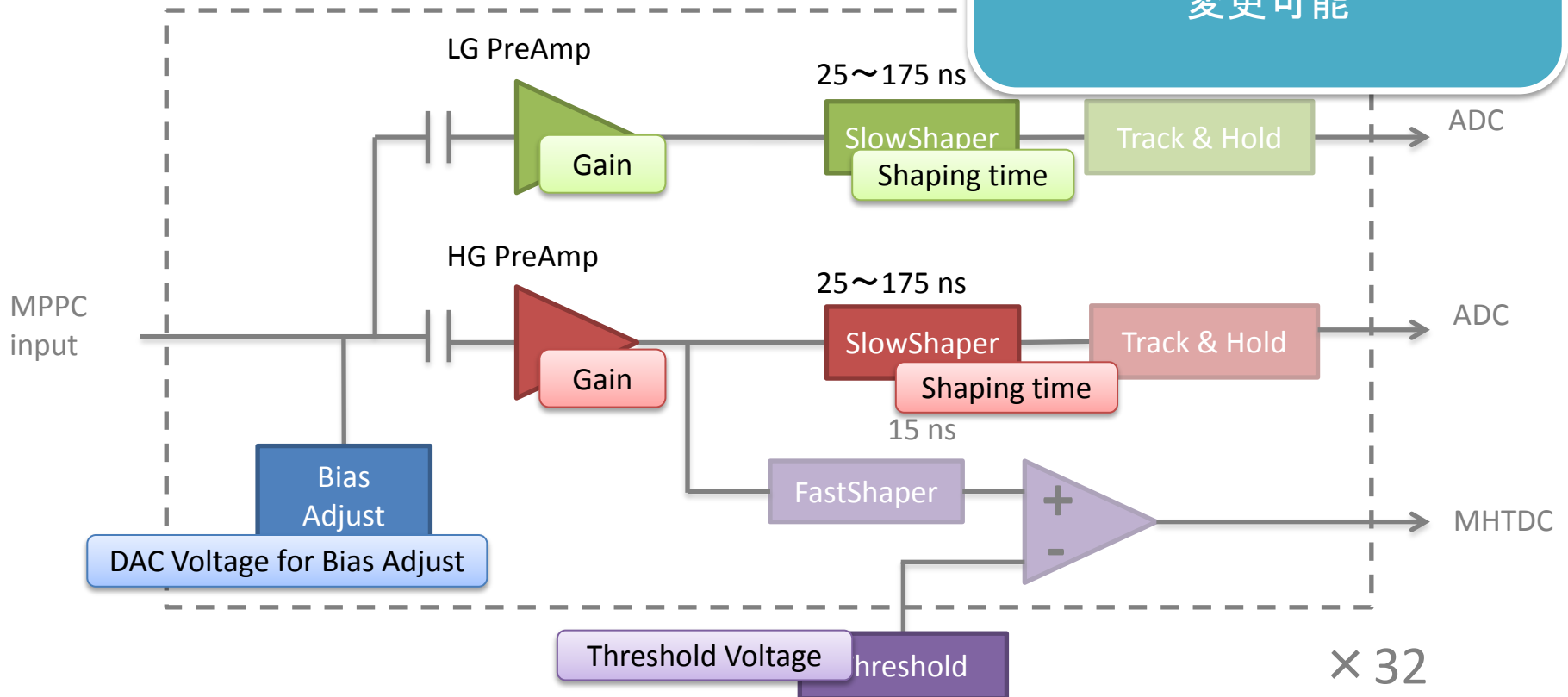


# MPPC読み出し用ASIC: EASIROC

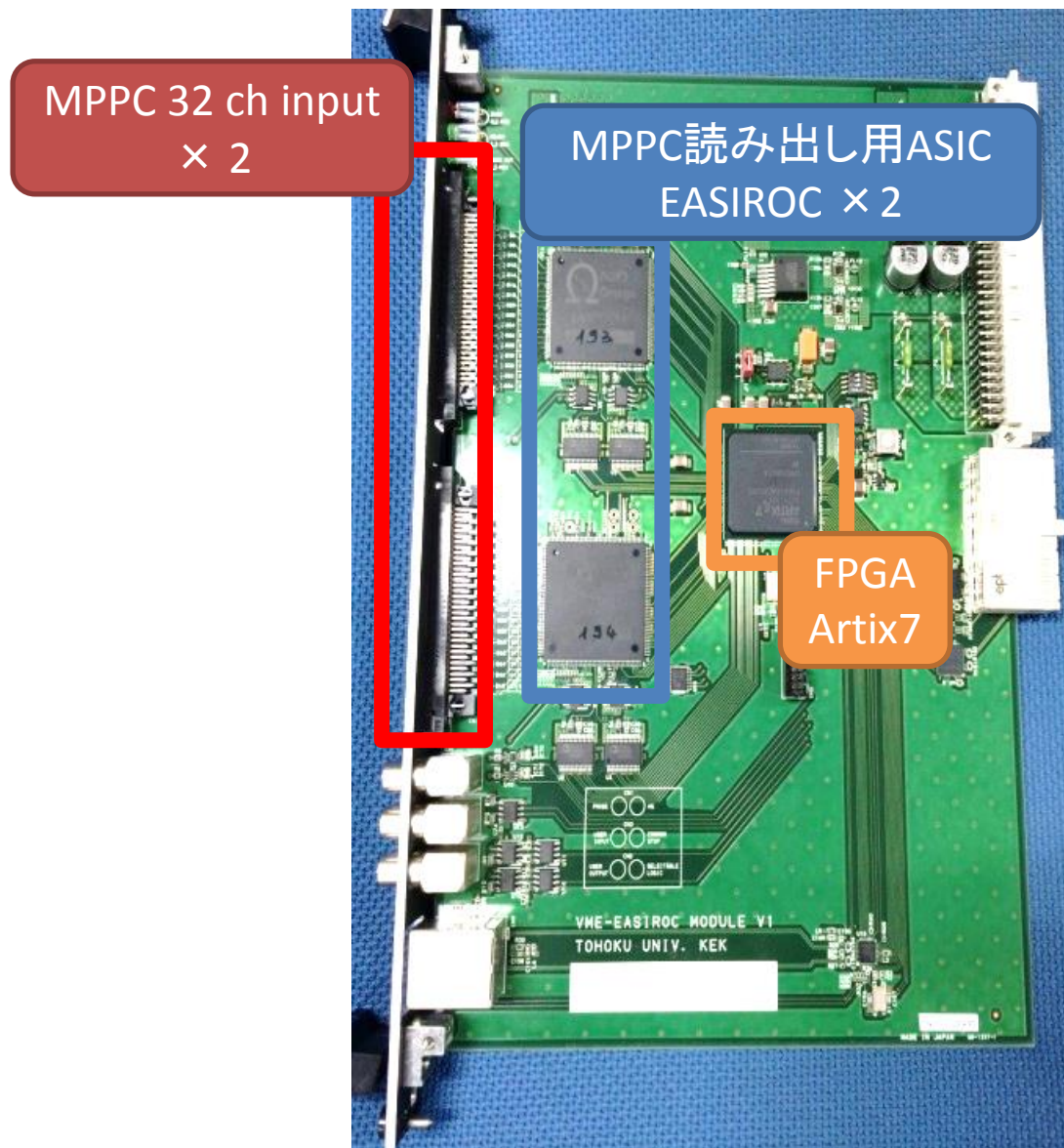
- OMEGA/IN2P3製の32 chのMPPC読み出し用ASIC
- ダイナミックレンジ: 1 p.e. ~ 2000 p.e.
- 電圧保持回路(Track & Hold回路)の出力
- Discriminator出力をパラレルに出力
- バイアスを個別に調節



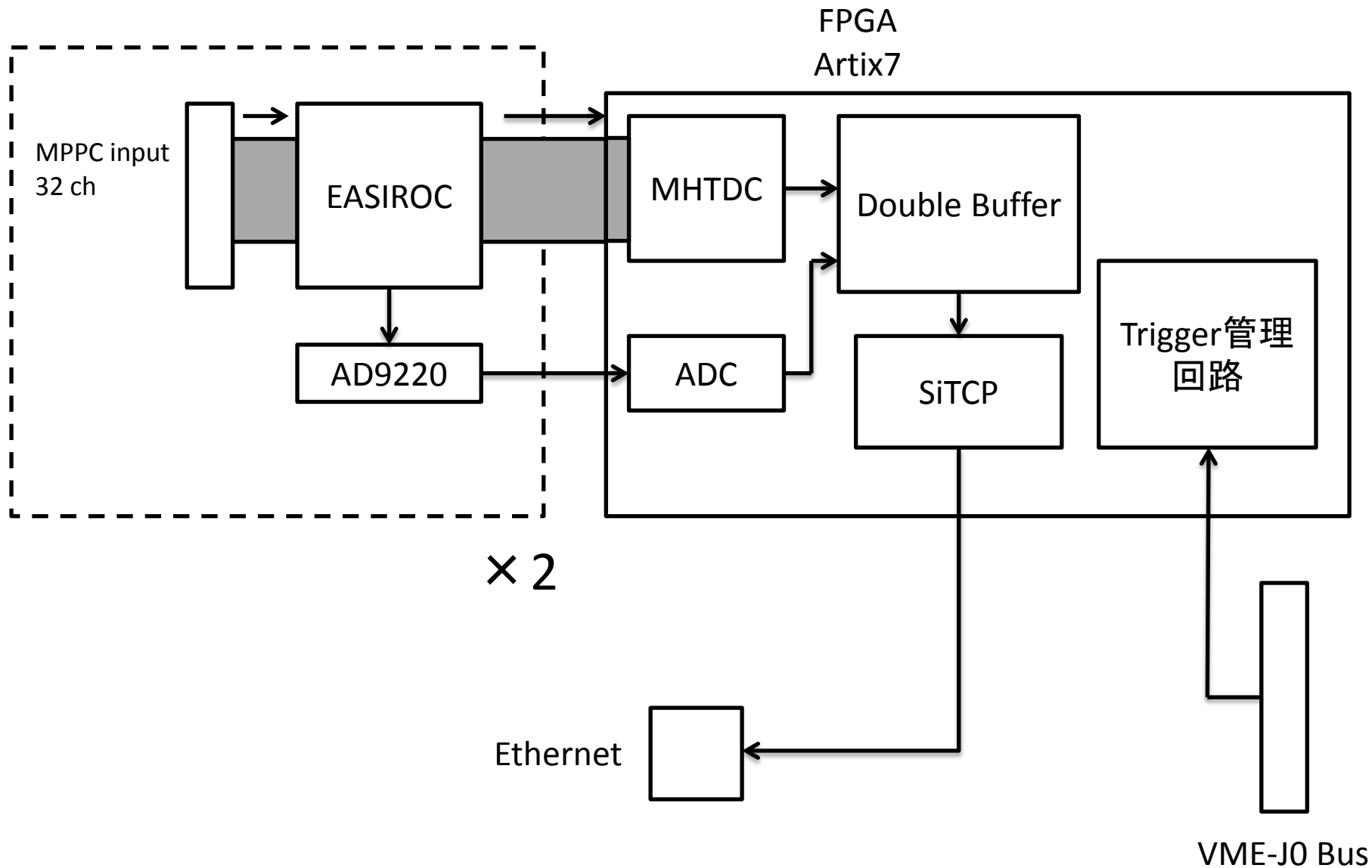
これらのパラメータを  
SlowControlを使い外部から  
変更可能



# VME-EASIROCボード(写真)

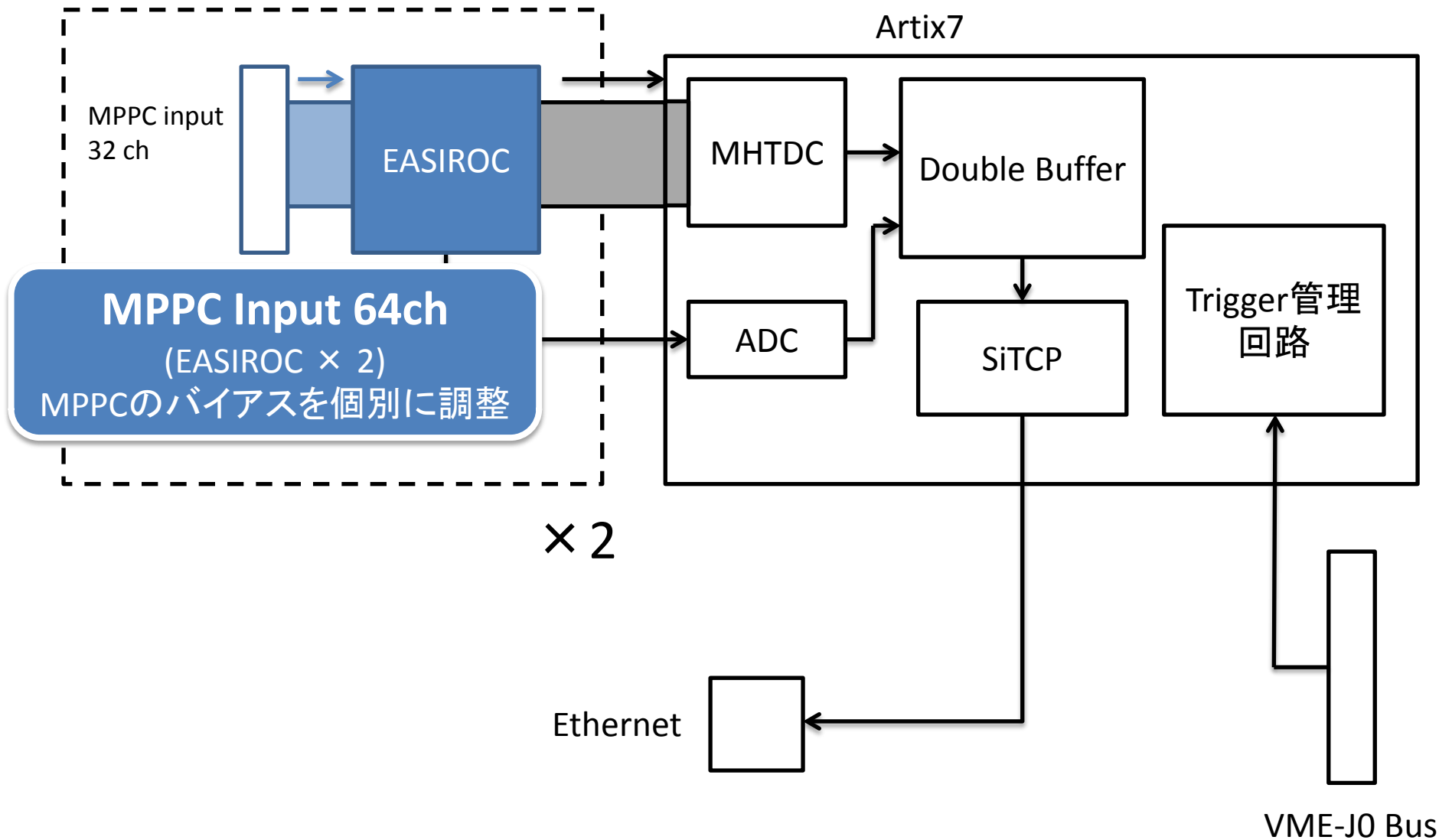


# VME-EASIROCボード(ブロック図)

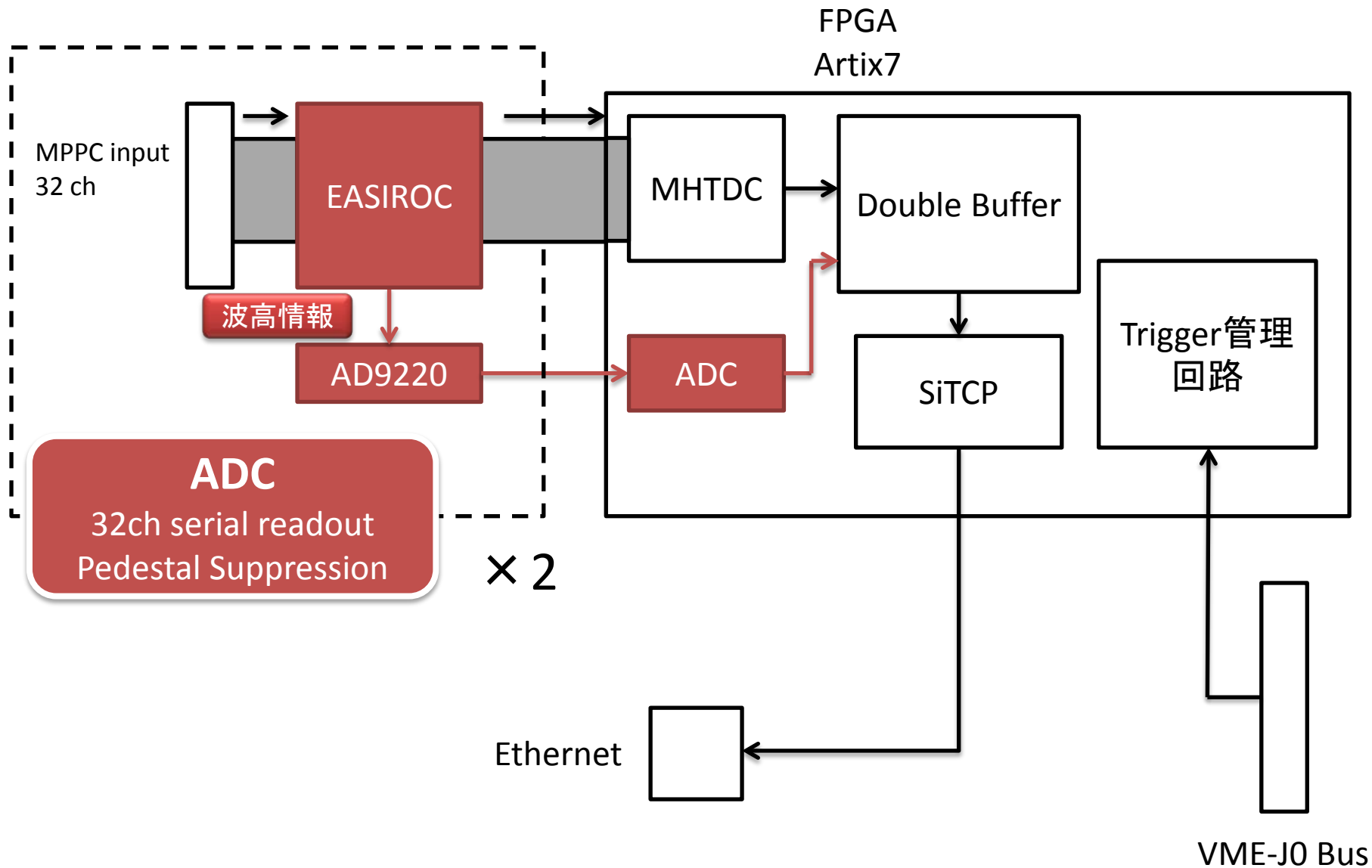


# VME-EASIROCボード(ブロック図)

FPGA  
Artix7

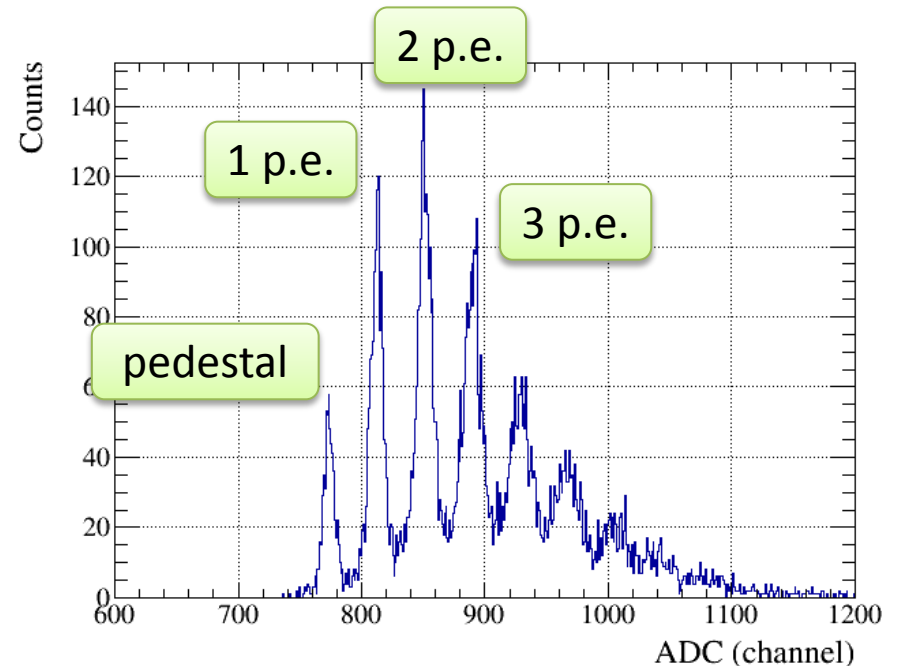
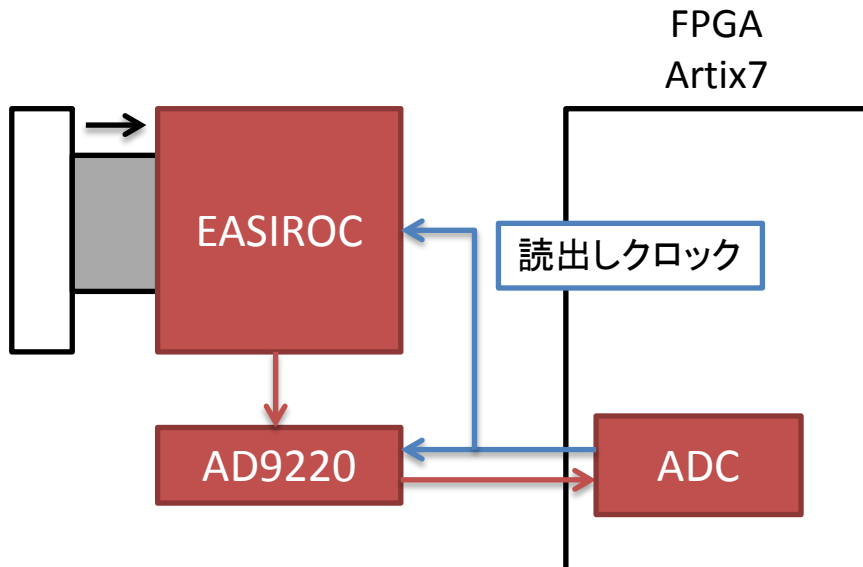


# VME-EASIROCボード(ブロック図)

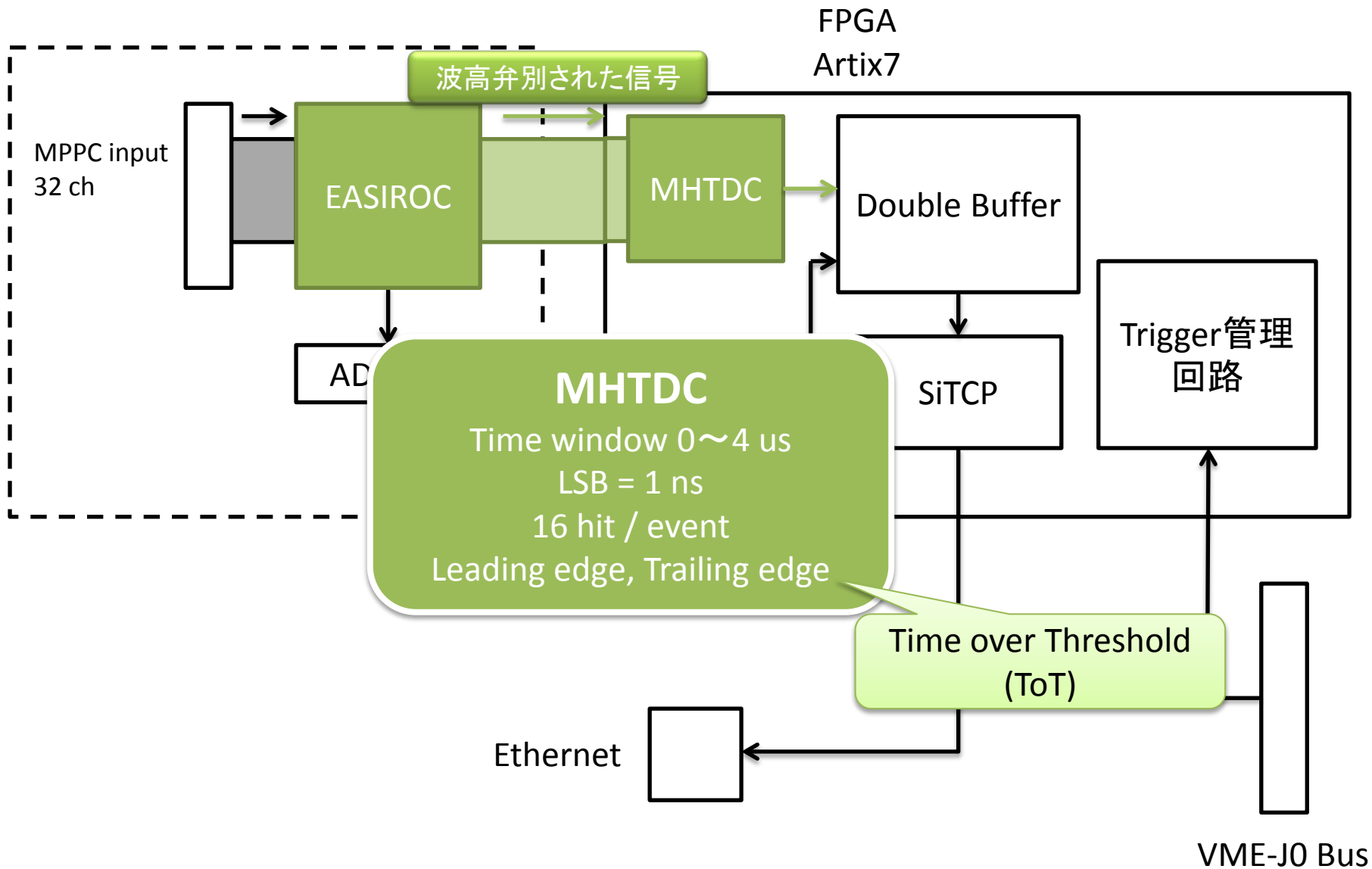


# ADCの実装

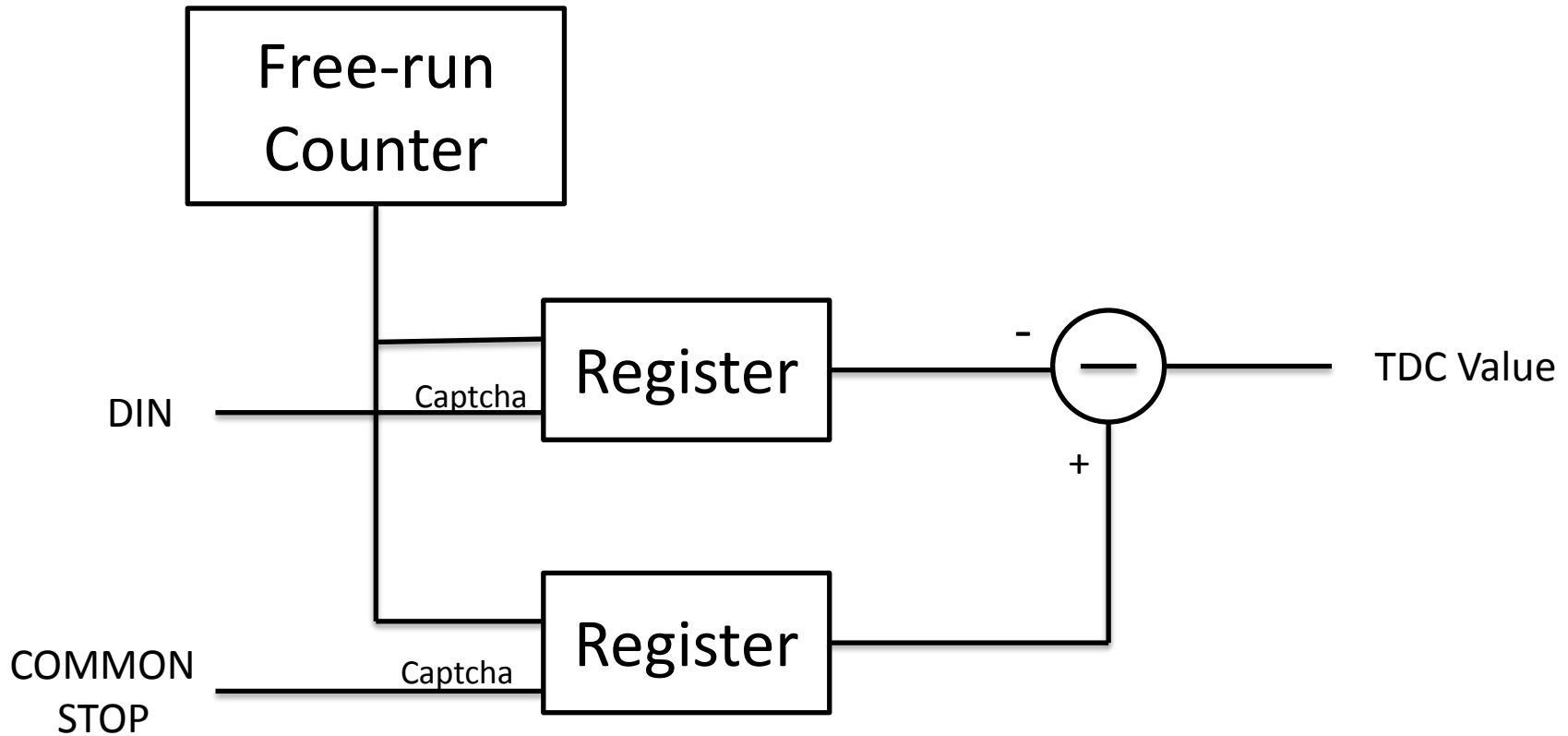
- 32 chのシリアル読み出し
  - 読み出しクロック: 3 MHz
  - デッドタイム:  $12 \text{ us} = (32 + 2) / 3 \text{ MHz}$
- Pedestal Suppression機能
  - データ量を1/100に削減



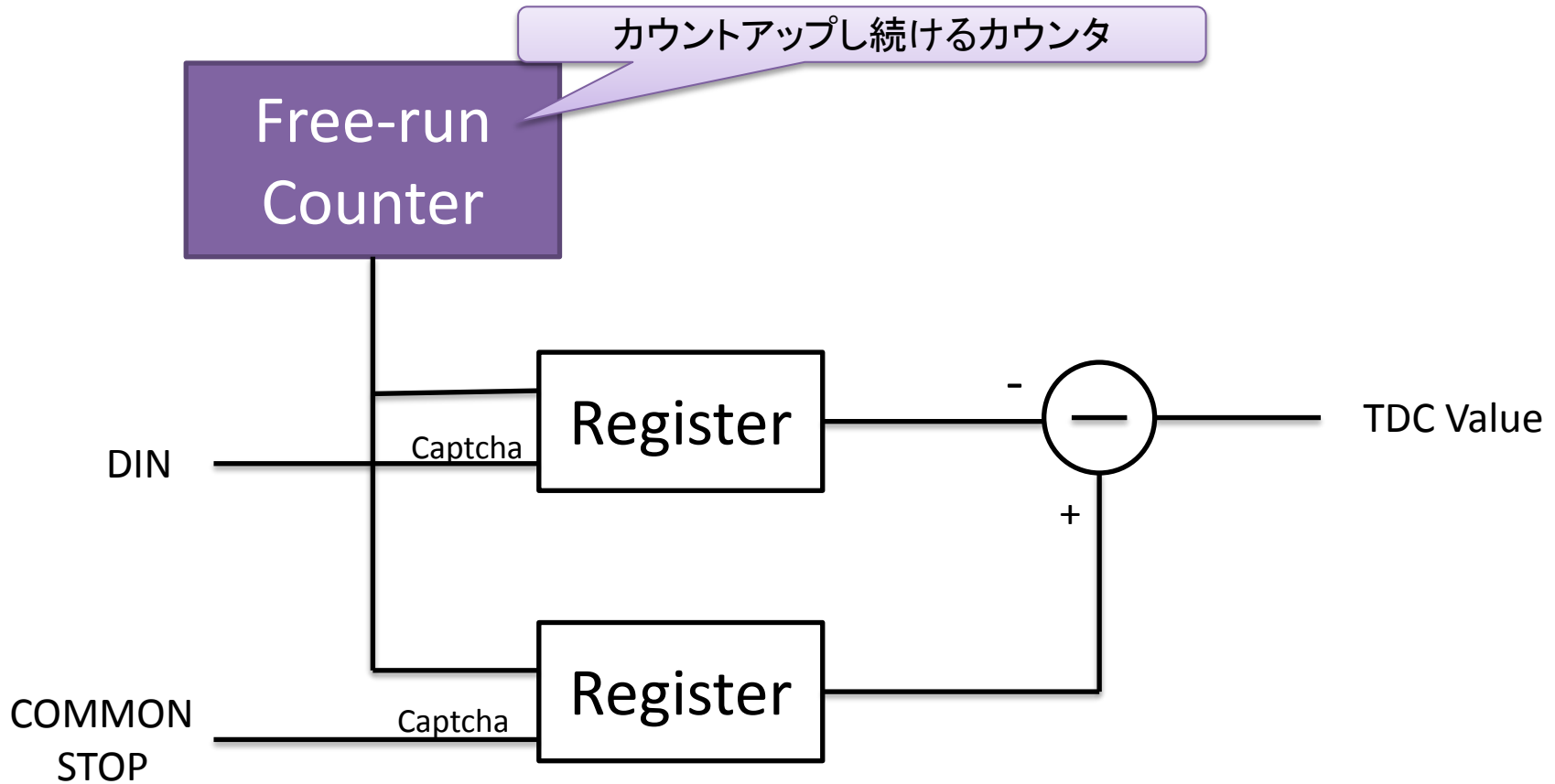
# VME-EASIROCボード(ブロック図)



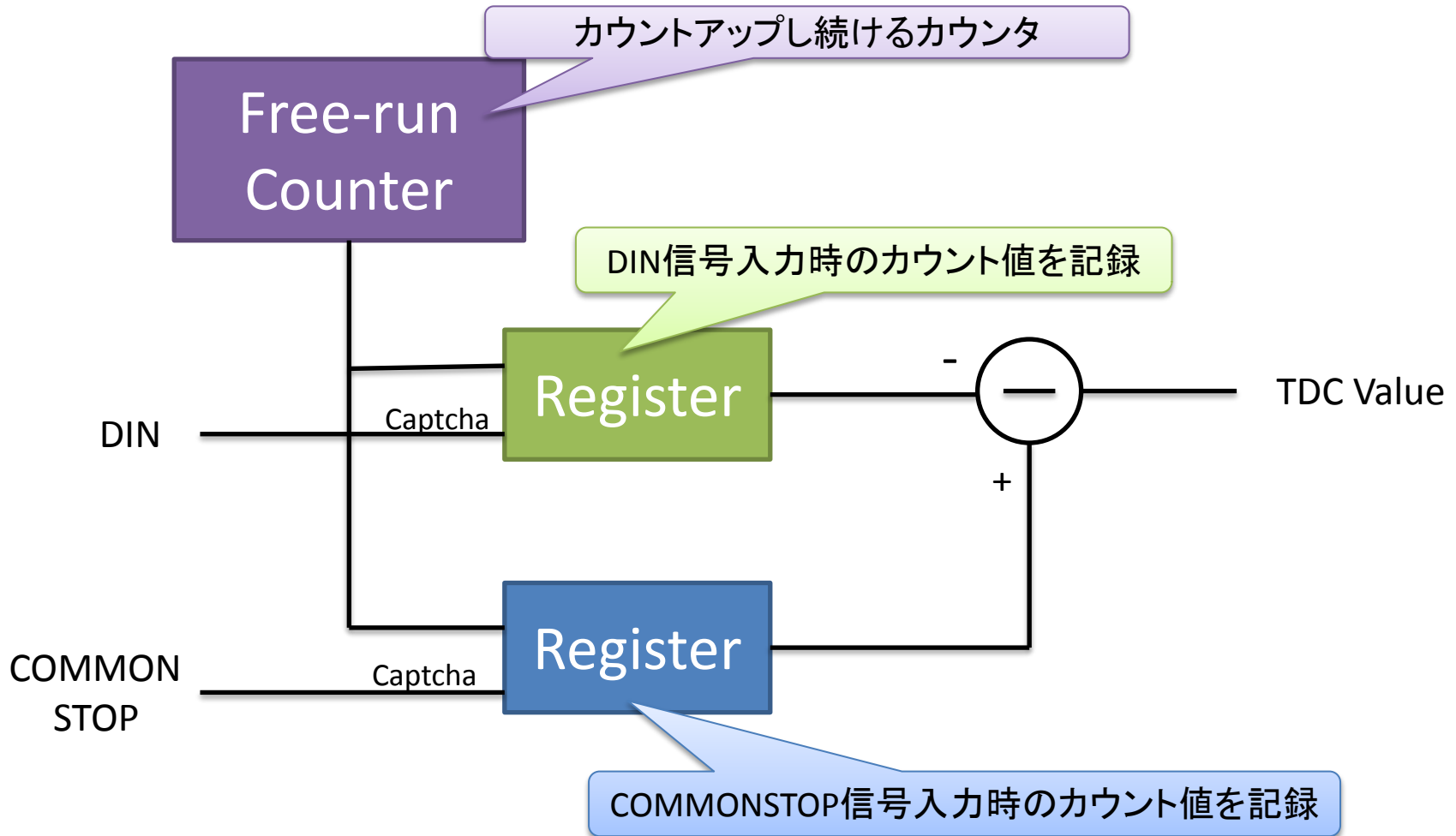
# MHTDCの実装(概要)



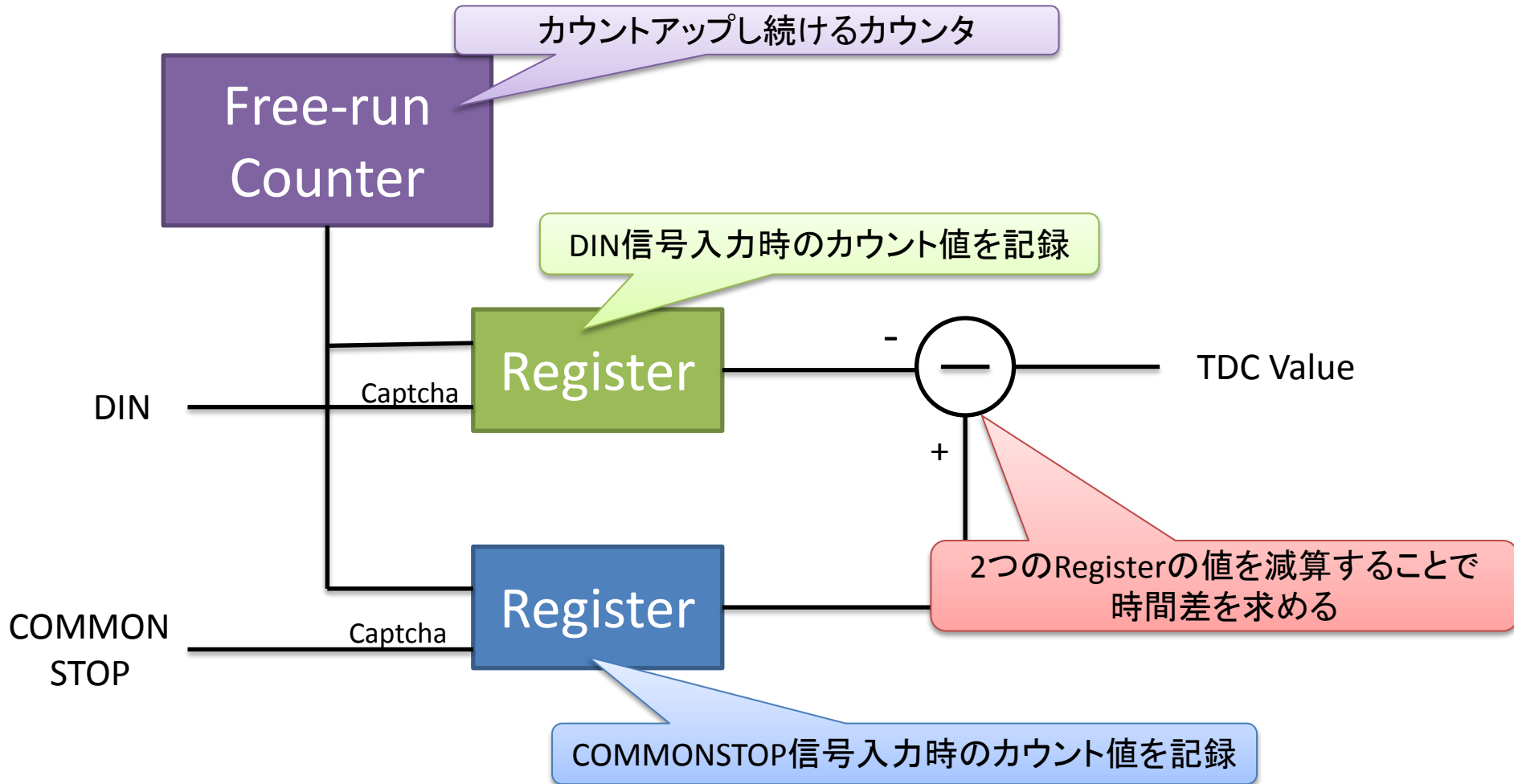
# MHTDCの実装(概要)



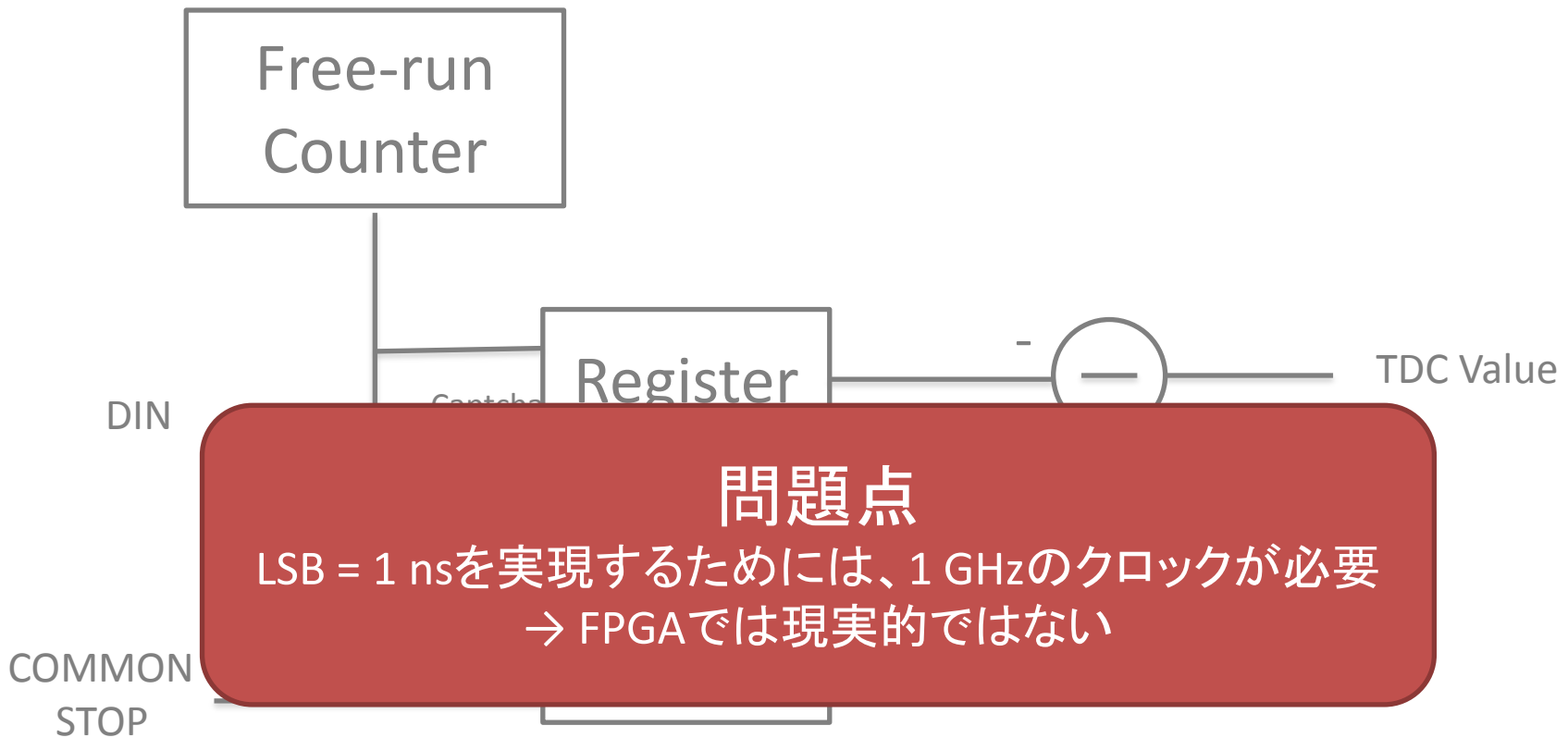
# MHTDCの実装(概要)



# MHTDCの実装(概要)



# MHTDCの実装(概要)



# MHTDCの実装(概要)



## 問題点

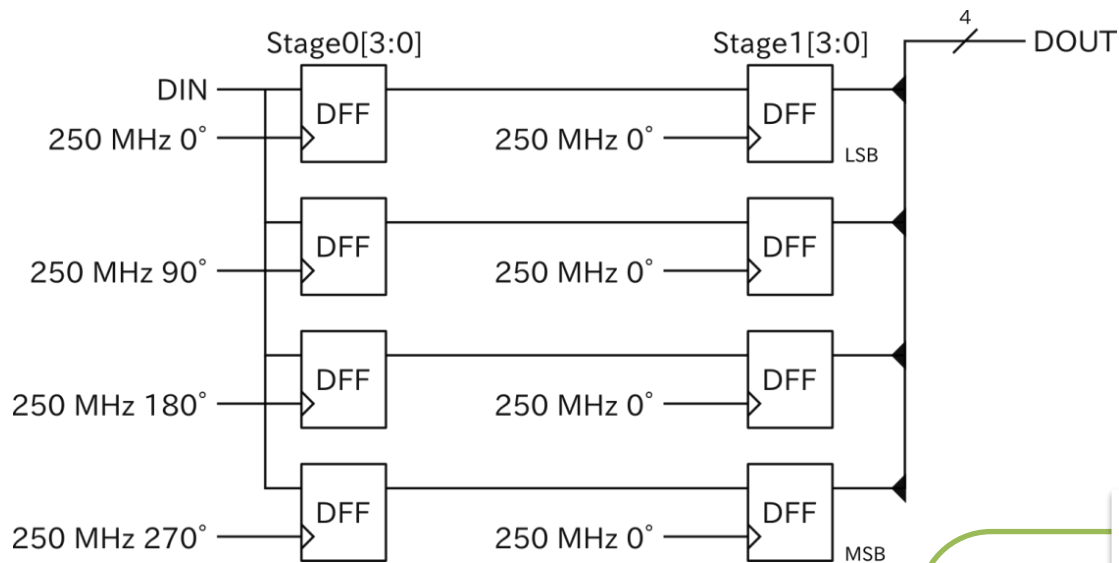
LSB = 1 nsを実現するためには、1 GHzのクロックが必要  
→ FPGAでは現実的ではない

## 解決策

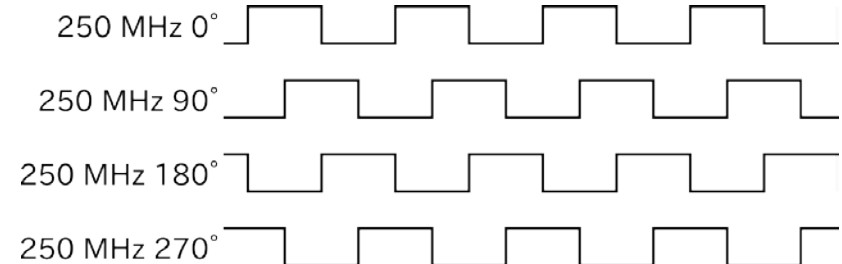
250 MHzの4相クロックを使用する  
この程度の周波数であれば十分実装できる

# MHTDCの実装(高分解能を実現する方法)

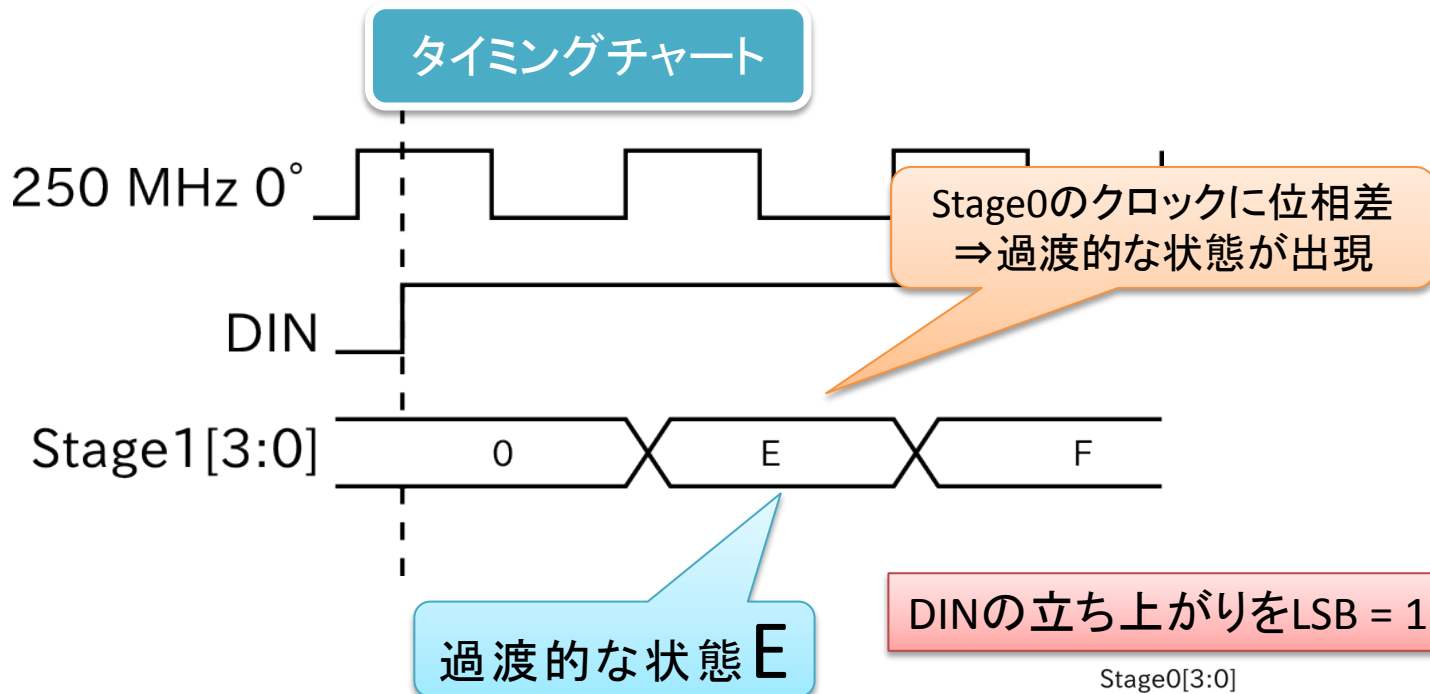
DINの立ち上がりをLSB = 1 nsで検出する回路



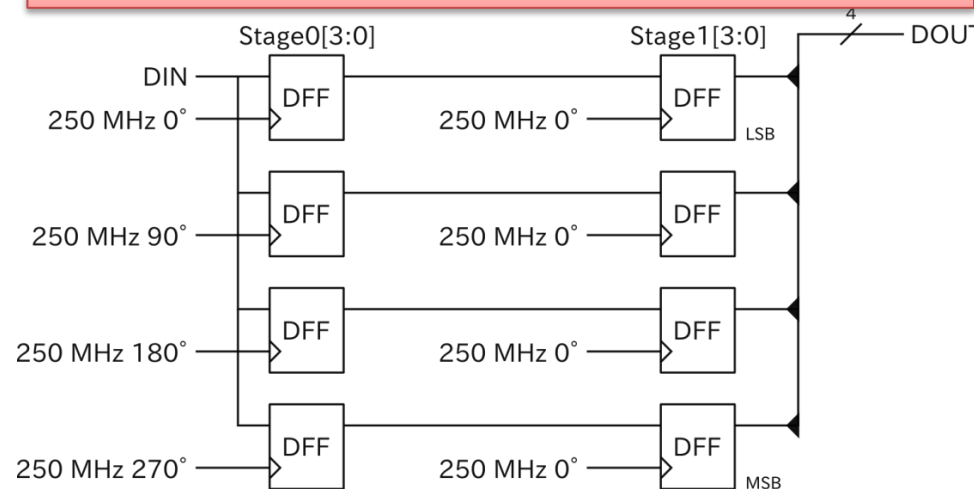
各クロックの位相関係



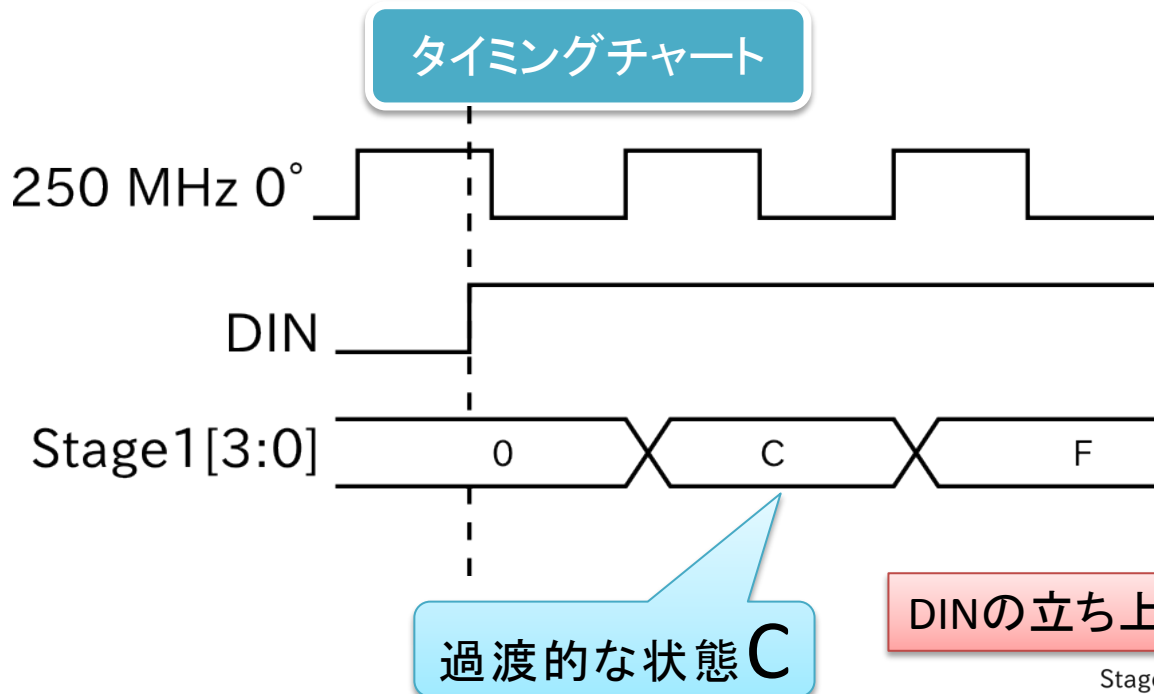
# MHTDCの実装(高分解能を実現する方法)



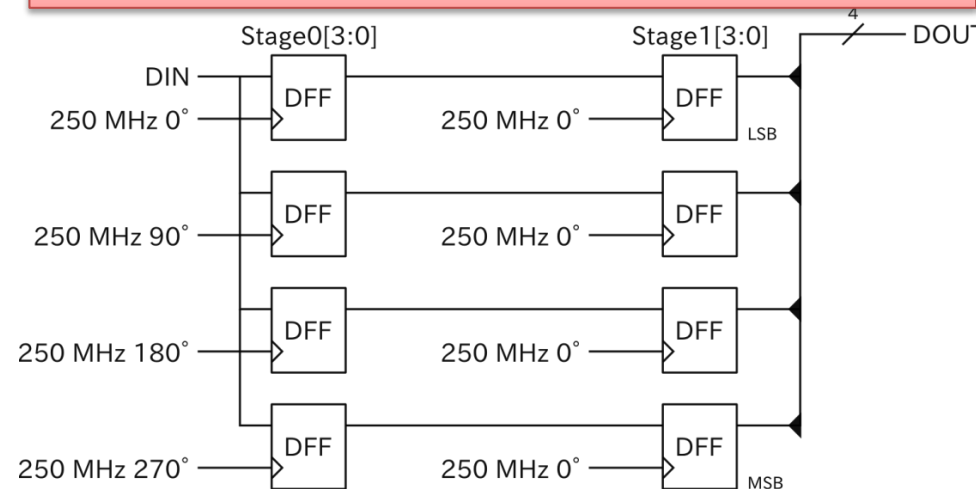
DINの立ち上がりをLSB = 1 nsで検出する回路



# MHTDCの実装(高分解能を実現する方法)

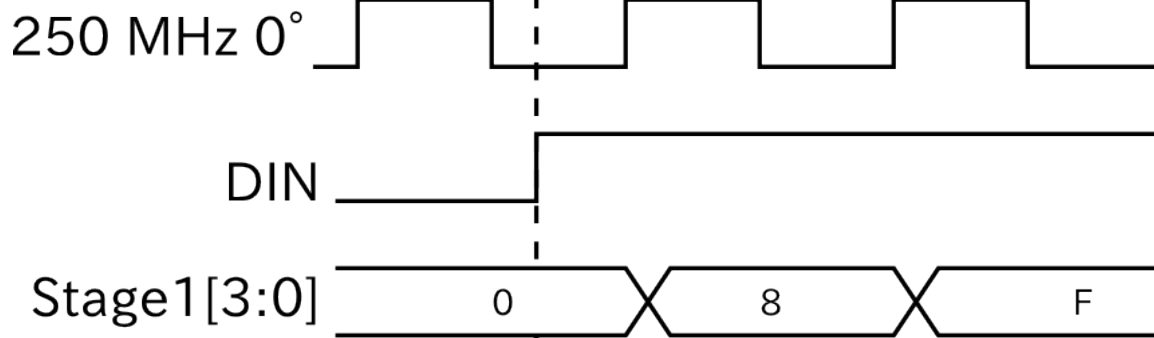


DINの立ち上がりをLSB = 1 nsで検出する回路



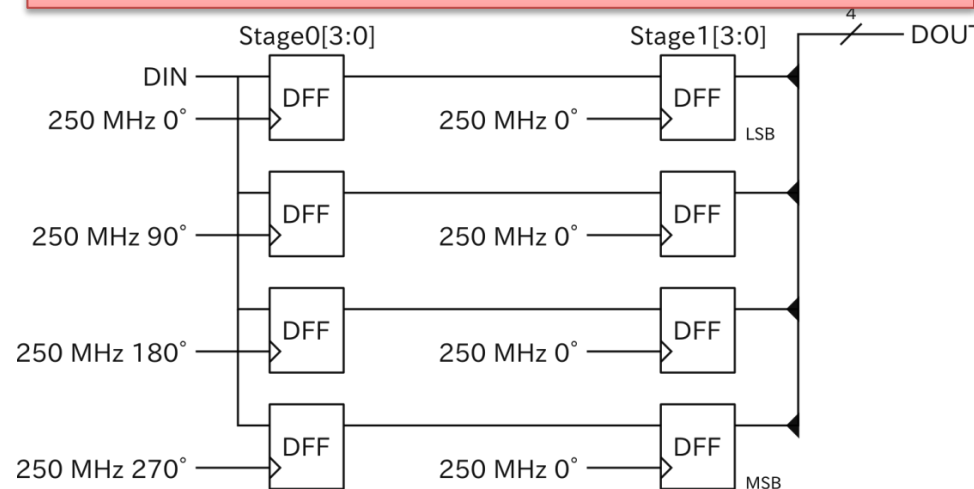
# MHTDCの実装(高分解能を実現する方法)

タイミングチャート



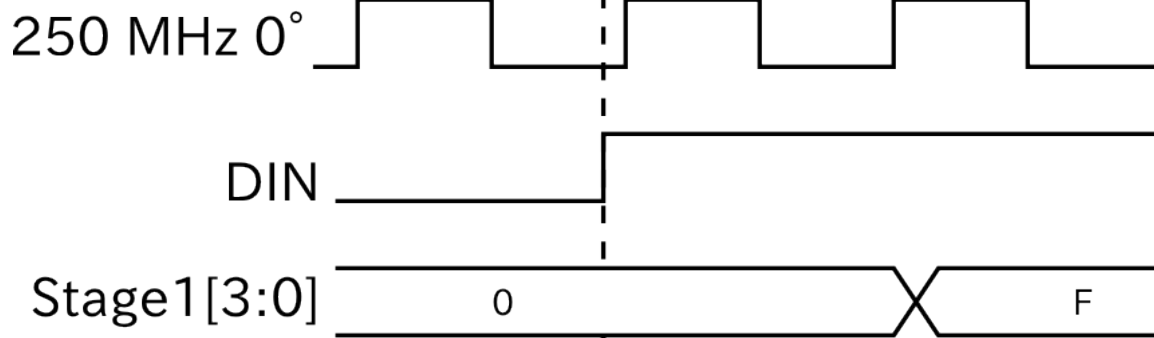
過渡的な状態 8

DINの立ち上がりをLSB = 1 nsで検出する回路



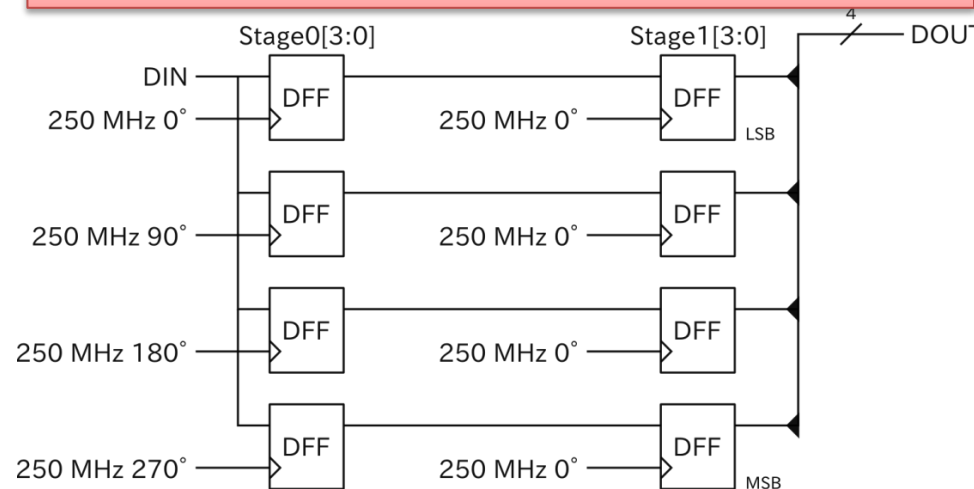
# MHTDCの実装(高分解能を実現する方法)

タイミングチャート



過渡的な状態はない

DINの立ち上がりをLSB = 1 nsで検出する回路



# MHTDCの実装(高分解能を実現する方法)

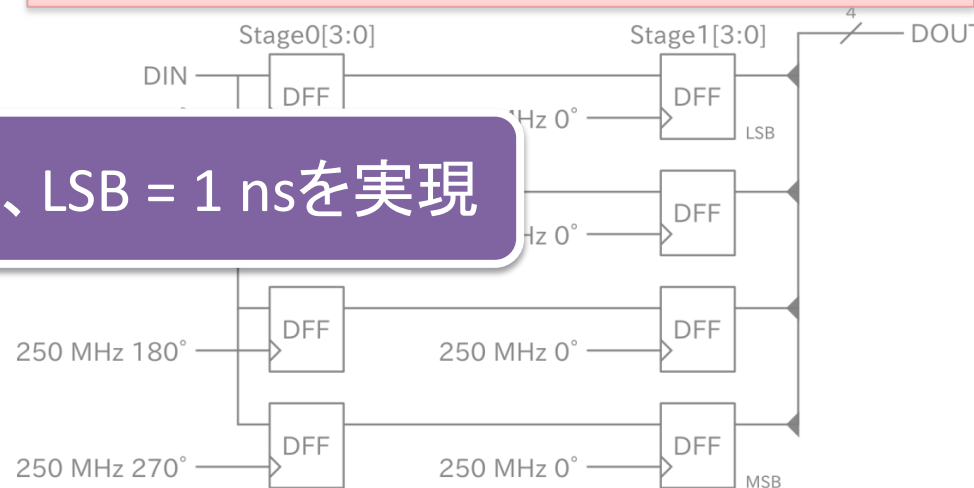
タイミングチャート



過渡的な状態はない

DINの立ち上がりをLSB = 1 nsで検出する回路

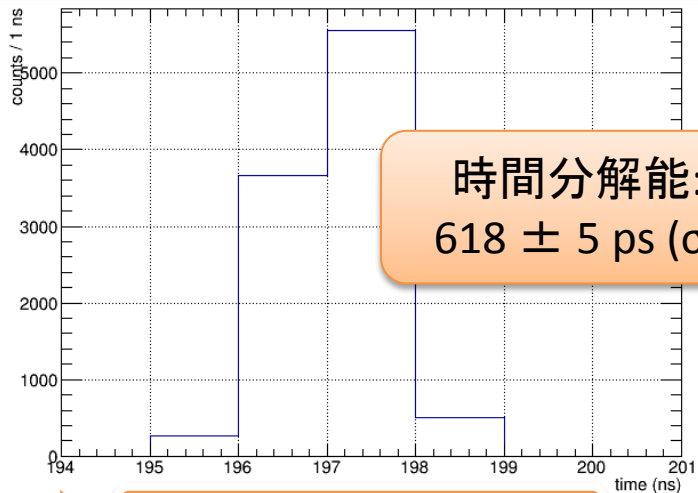
Fになる直前の値を読むことで、LSB = 1 nsを実現



# MHTDCの性能

## 時間分解能

1 p.e.相当のテストパルスを入力した時の  
TDCヒストグラム



時間分解能:  
 $618 \pm 5 \text{ ps } (\sigma)$

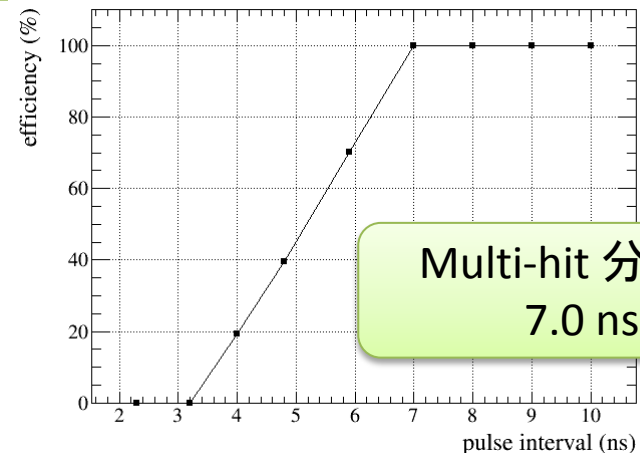
要求性能を満たす

## Multi-hit 分離能

Multi-hit分離能:  
100%分離可能なpulse interval

Pulse intervalの定義

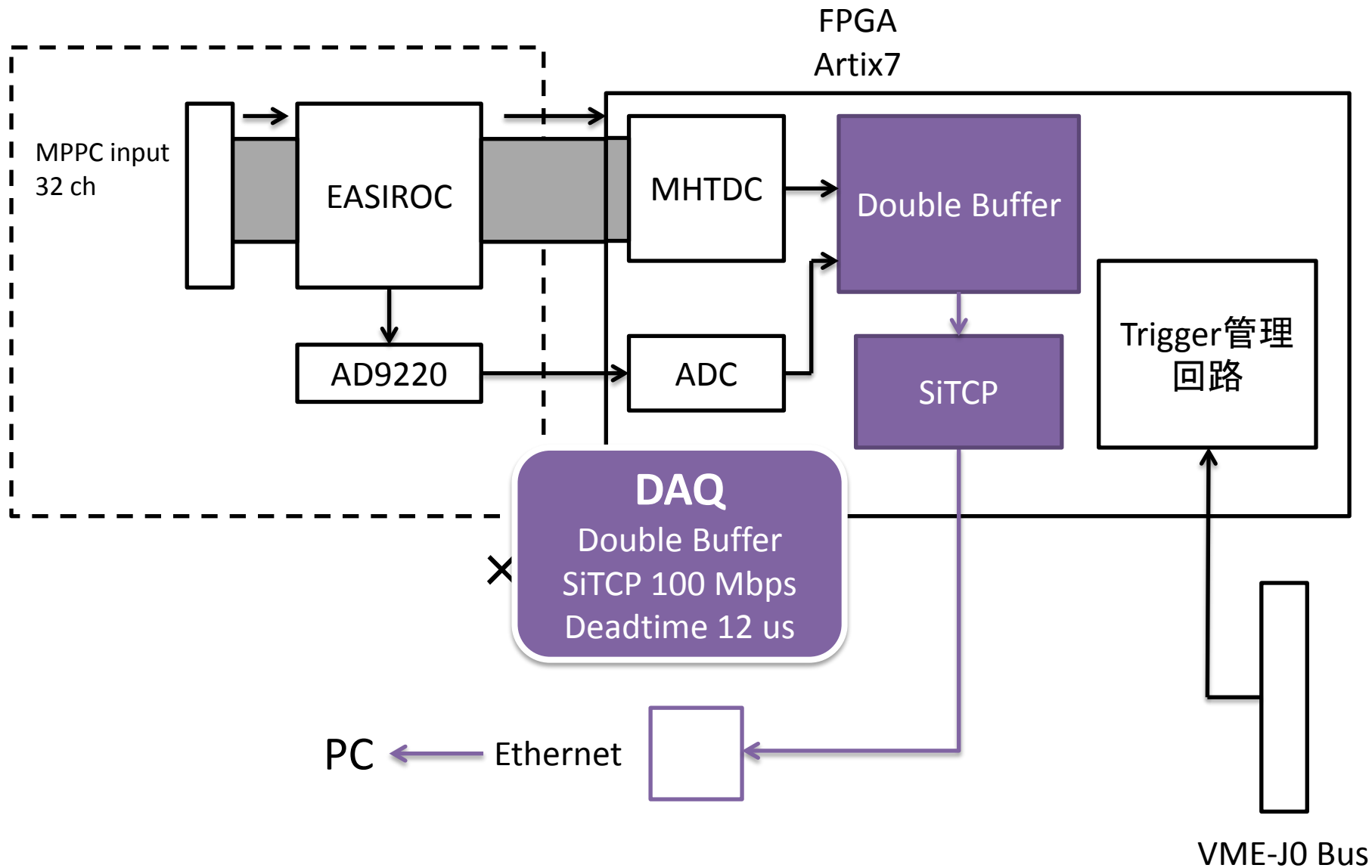
pulse interval



Multi-hit 分離能  
7.0 ns

設計値と同等

# VME-EASIROCボード(ブロック図)



# Double Bufferの原理

## Single Bufferの場合

データ転送中は  
書き込み不可

データ書き込み中は  
転送不可

データ収集回路

Buffer

データ転送回路

## Double Bufferの場合

データ転送中でも  
書き込み可能

データ書き込み中でも  
転送可能

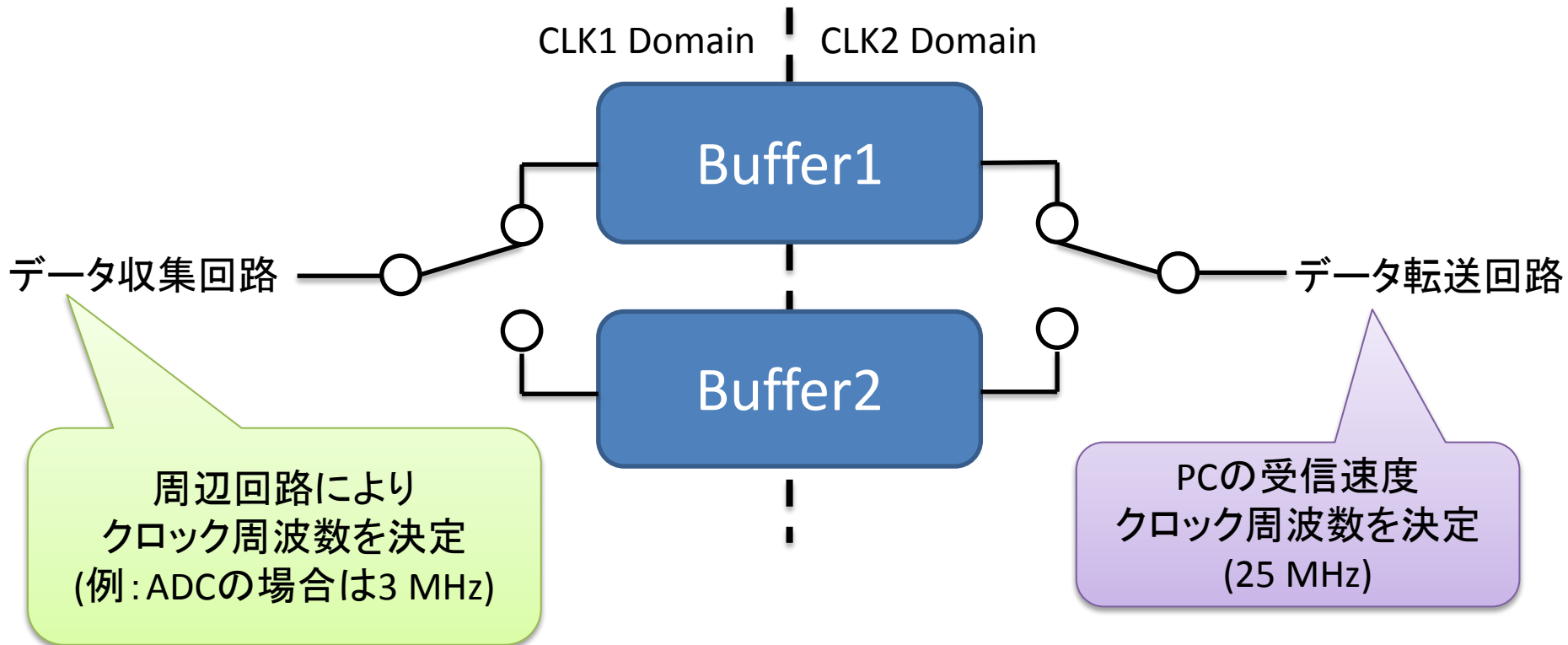
データ収集回路

Buffer1  
(Full)

Buffer2  
(Empty)

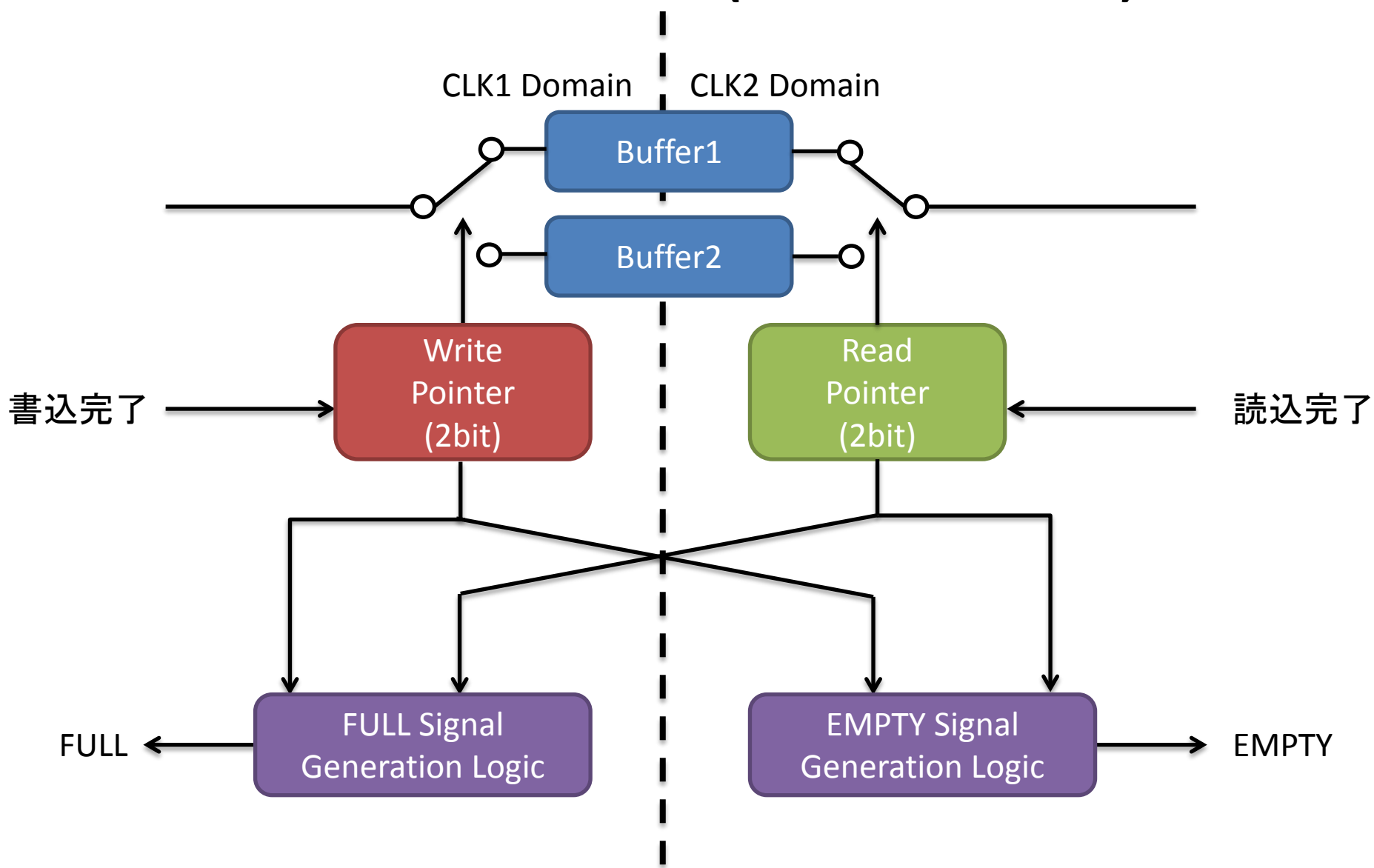
データ転送回路

# Double Bufferによるデータ転送時間削減

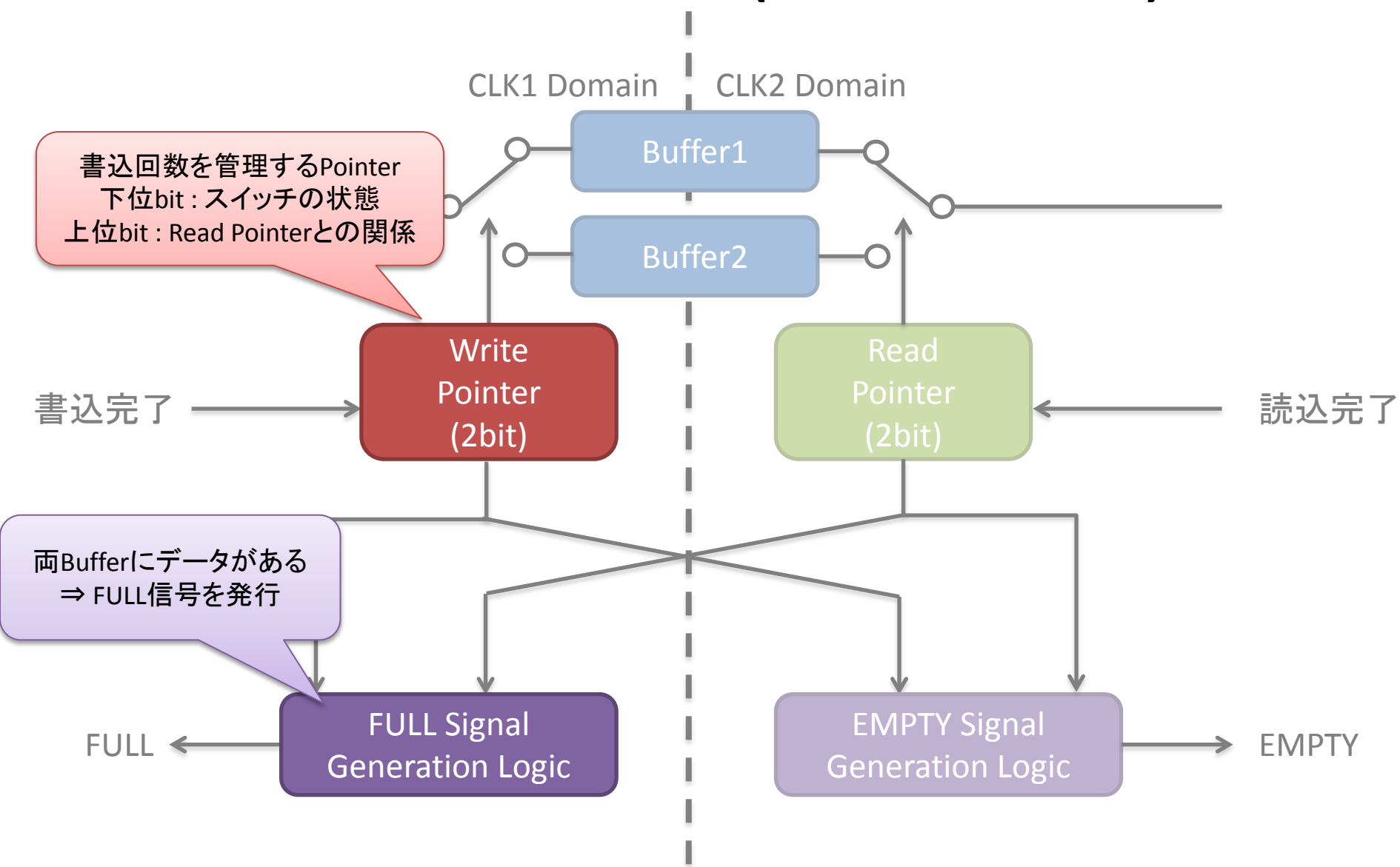


クロック周波数をそれぞれで最適化することで  
データ転送時間を削減

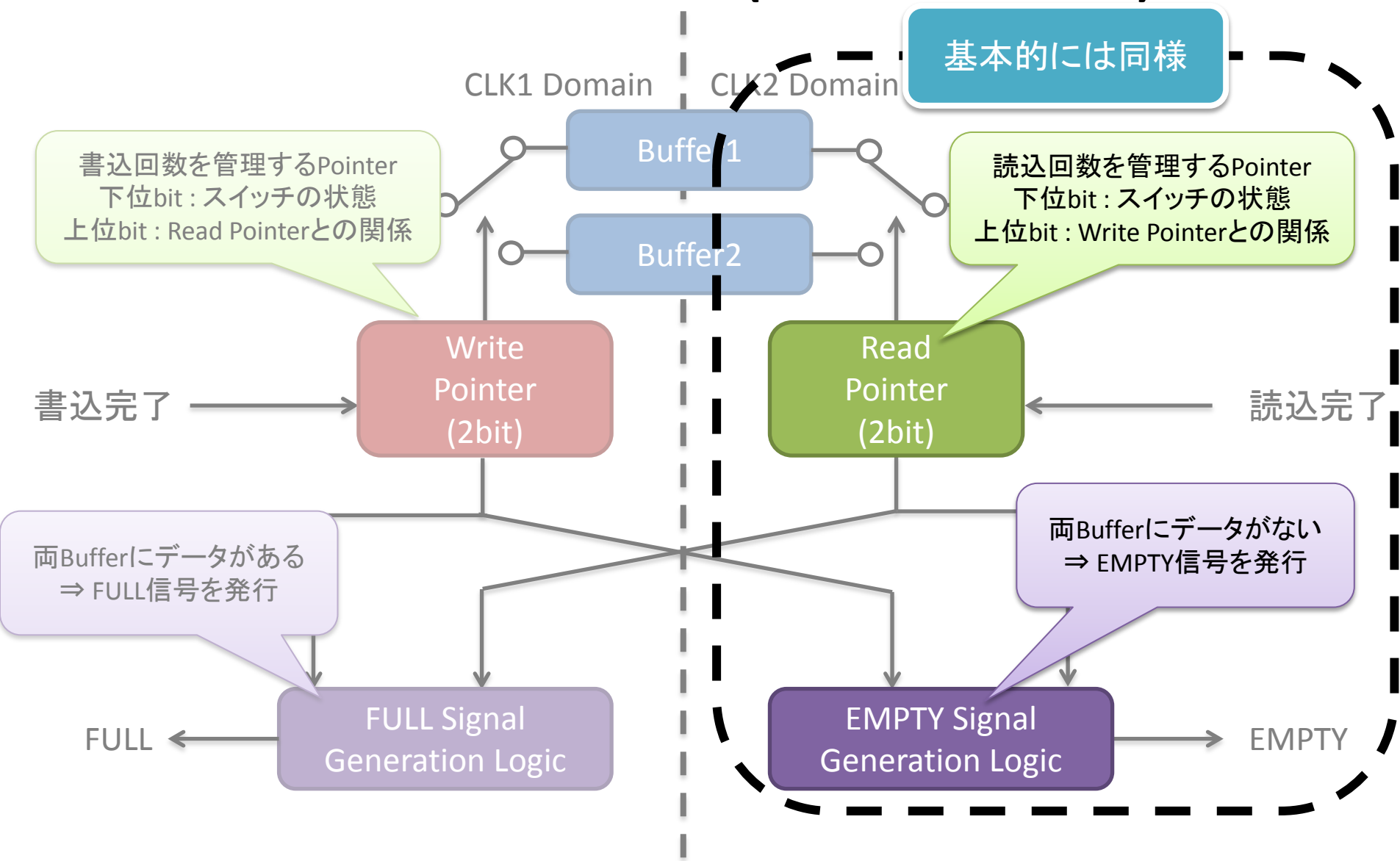
# Double Buffer(ブロック図)



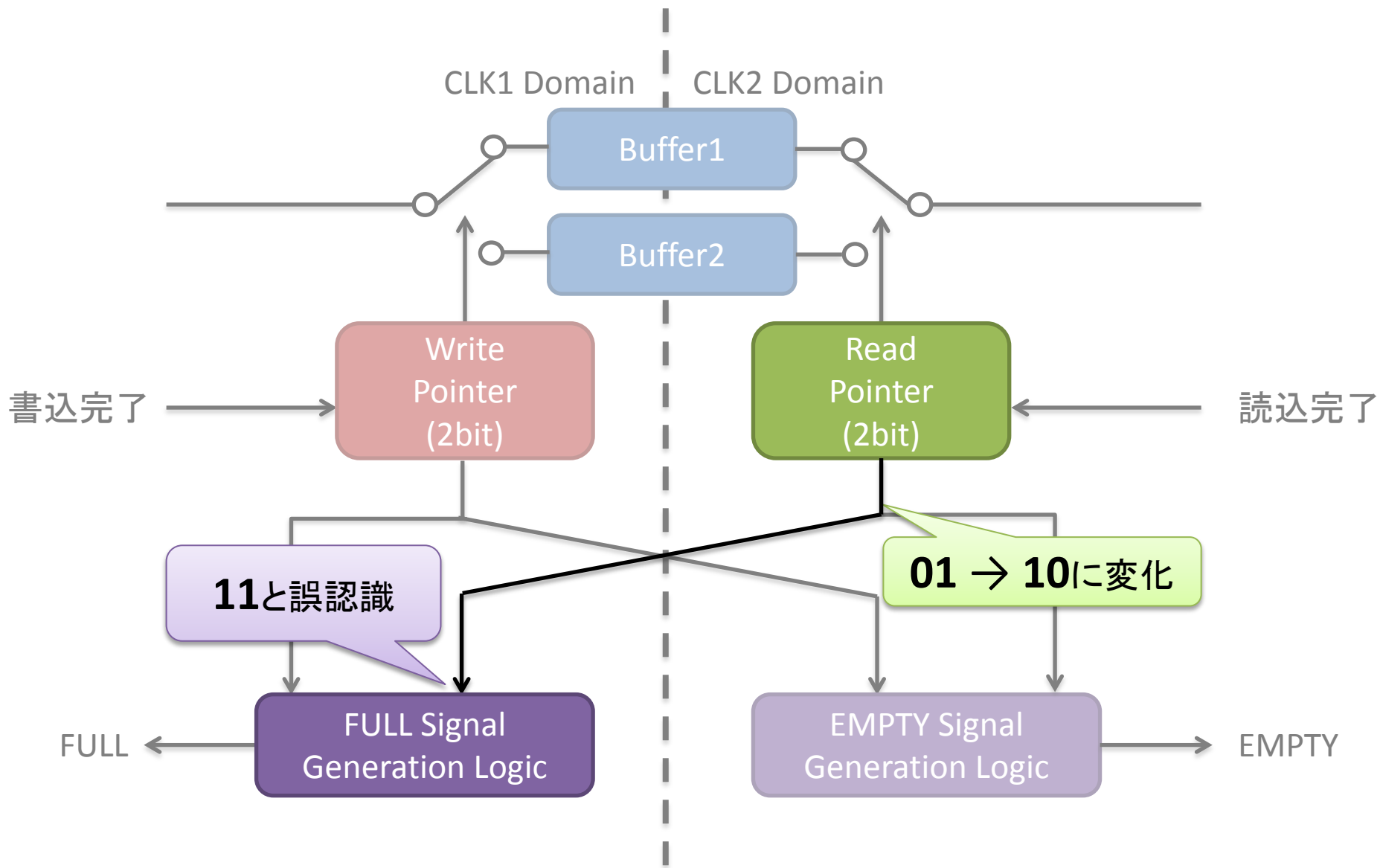
# Double Buffer(ブロック図)



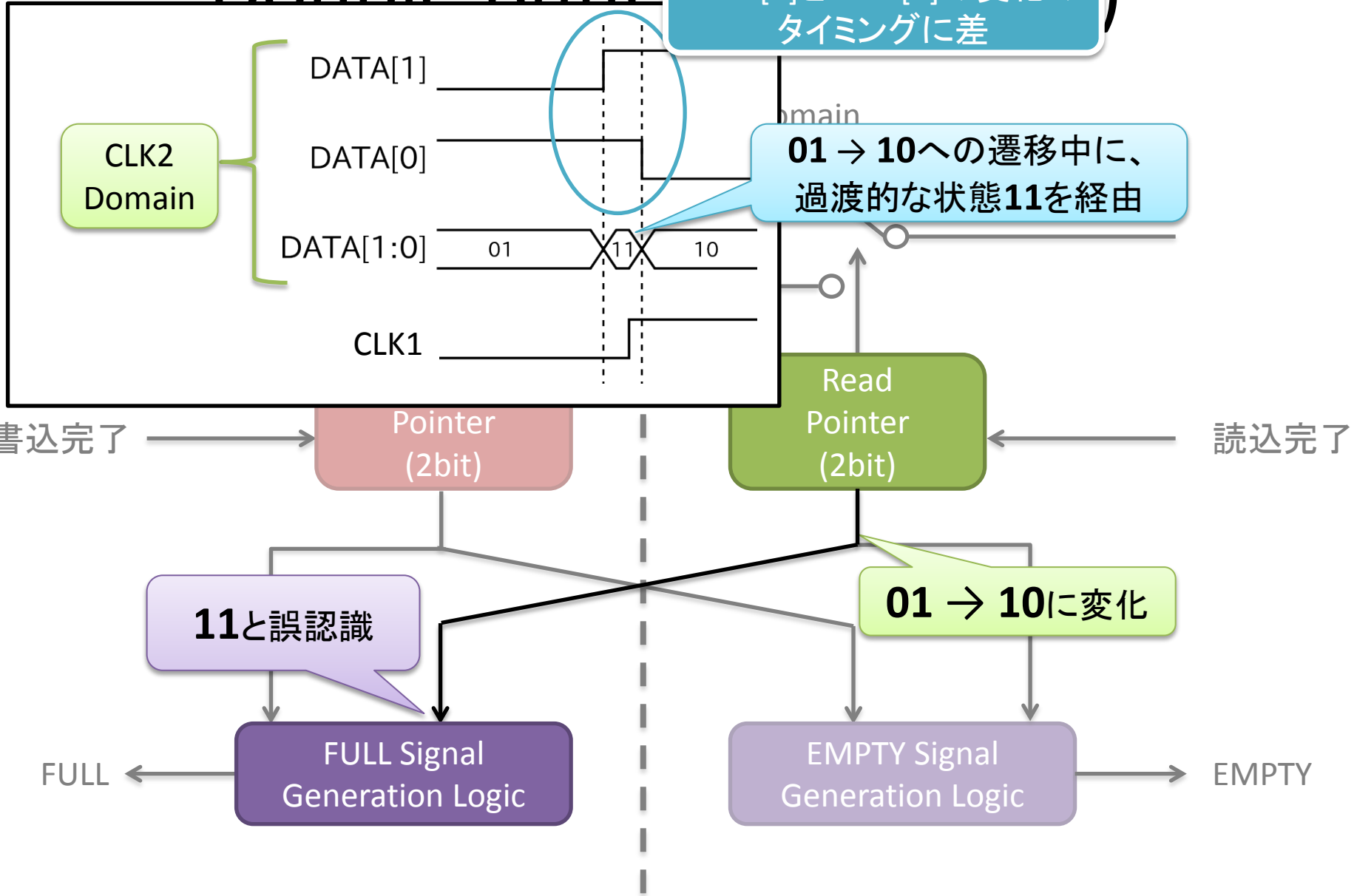
# Double Buffer(ブロック図)



# Double Buffer(ブロック図)



# Double Buffer



# Double Buffer(ブロック図)

FULL信号が発行されるべきタイミングにも関わらず、  
FULL信号が発行されない

⇒データの破損



## 解決策

隣接する値に変化するときに  
1bitのみ変化するカウンタ回路(Gray counter)

例: 2 bit Gray code

0	00
1	01
2	11
3	10

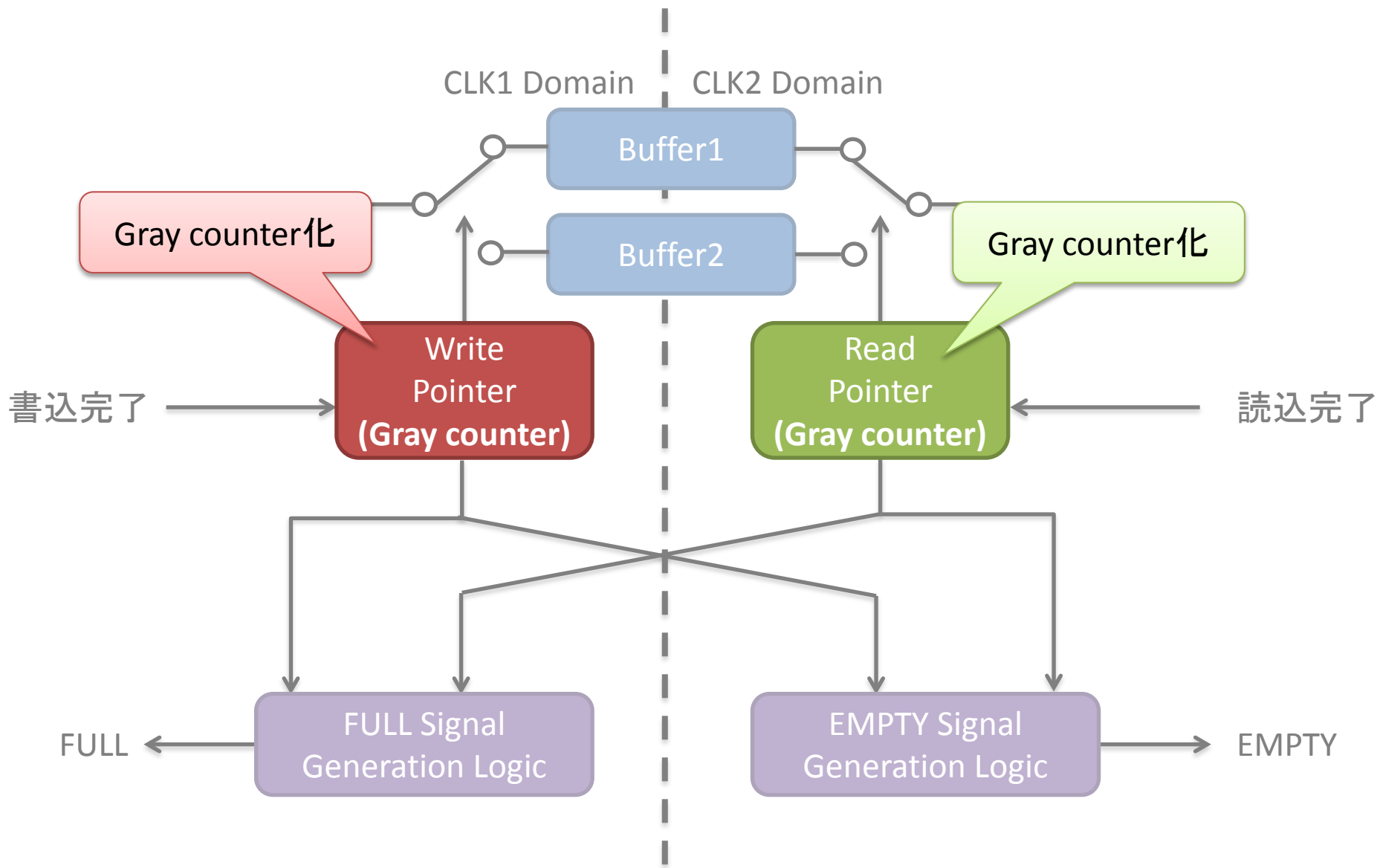
書込完了

読込完了

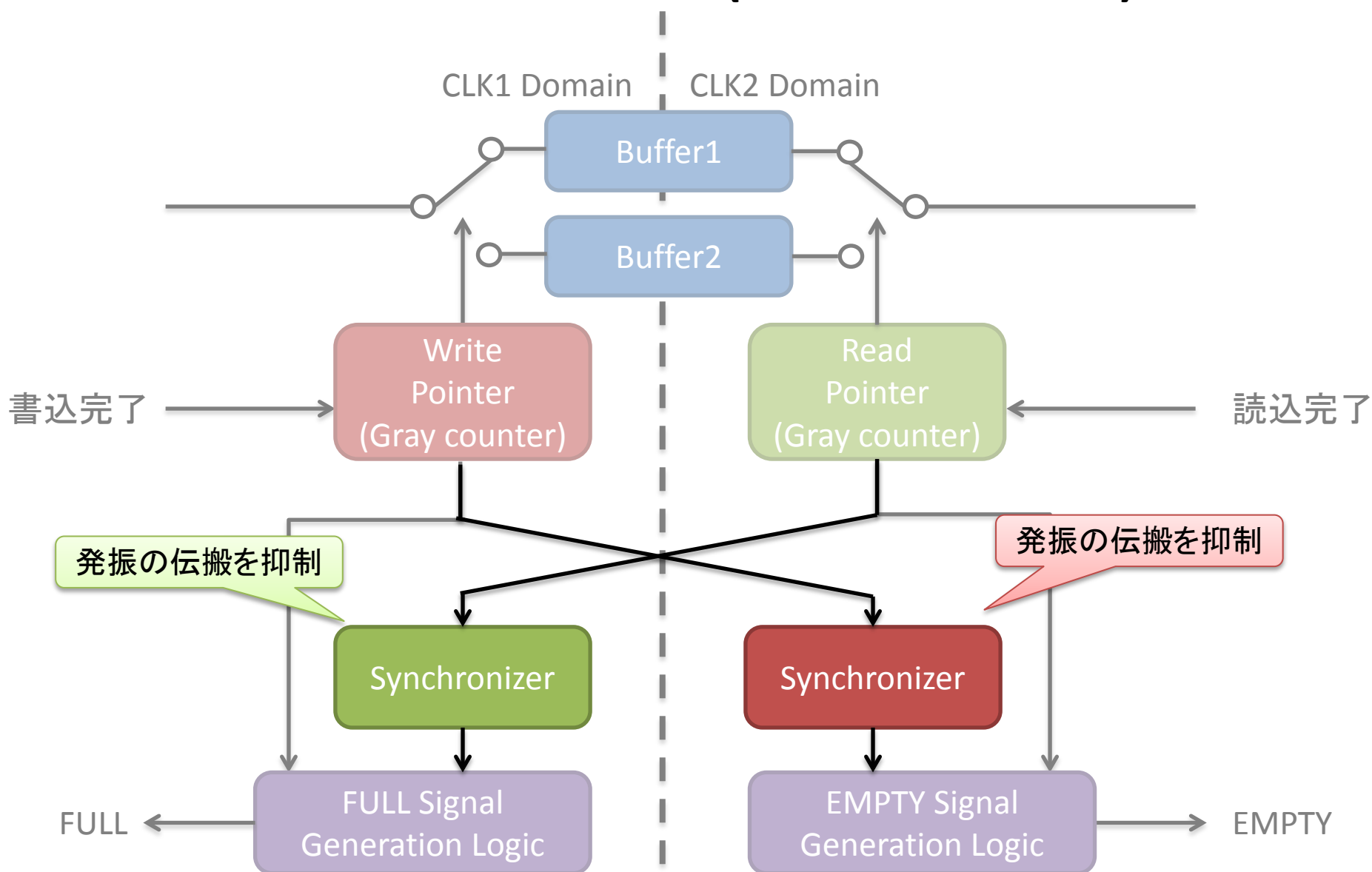
FULL ←

→ EMPTY

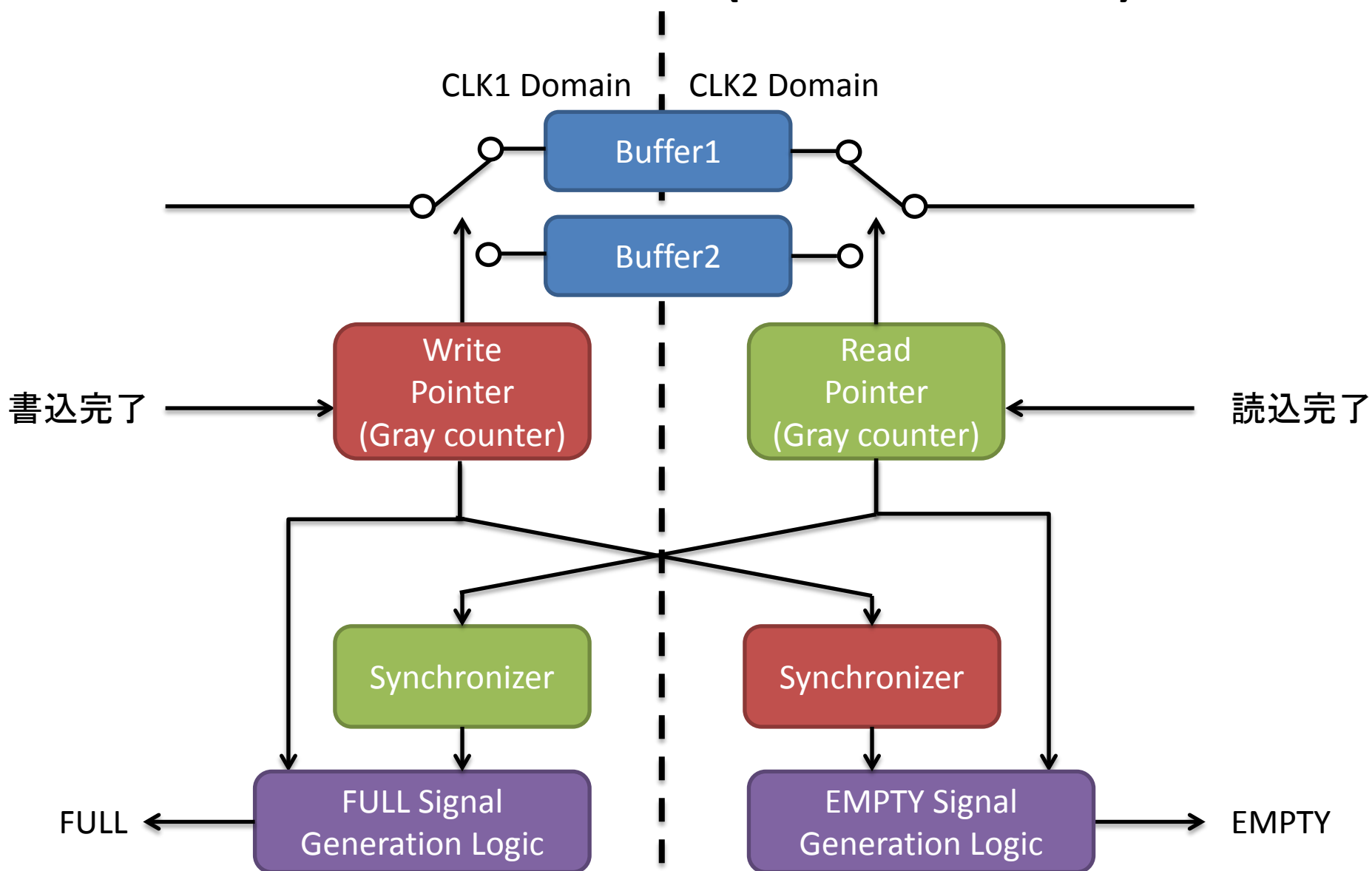
# Double Buffer(ブロック図)



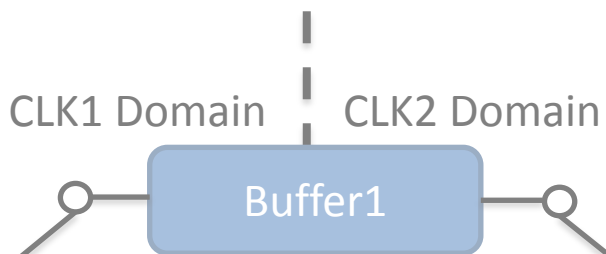
# Double Buffer(ブロック図)



# Double Buffer(ブロック図)



# Double Buffer(ブロック図)



## データ転送レートの性能評価

ADCのペDESTALのみを送信 (約4 kbit / event)

理想的にはトリガーレート24.2 kHzまで許容可(100 Mbps)

⇒ 23 kHzまでのトリガーレート化で安定してデータ転送可  
(95 Mbps)



書込

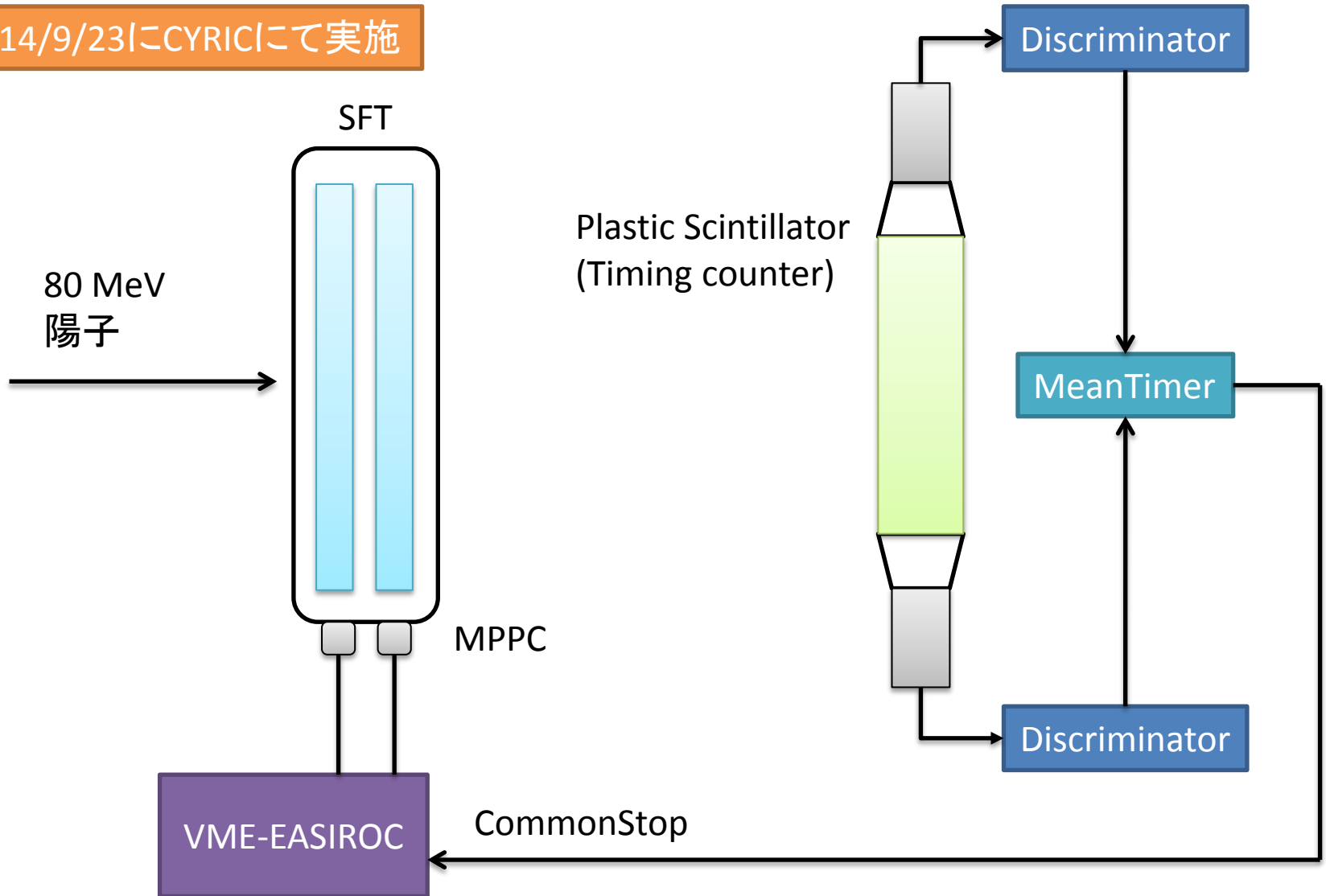
込完了

# ファイバートラッカーを用いた性能評価

- 高光子数に対する応答の試験(今回は割愛)
- **時間分解能の試験**
- **ToTを使用した時の陽子/ $\pi$ 分離能の試験**

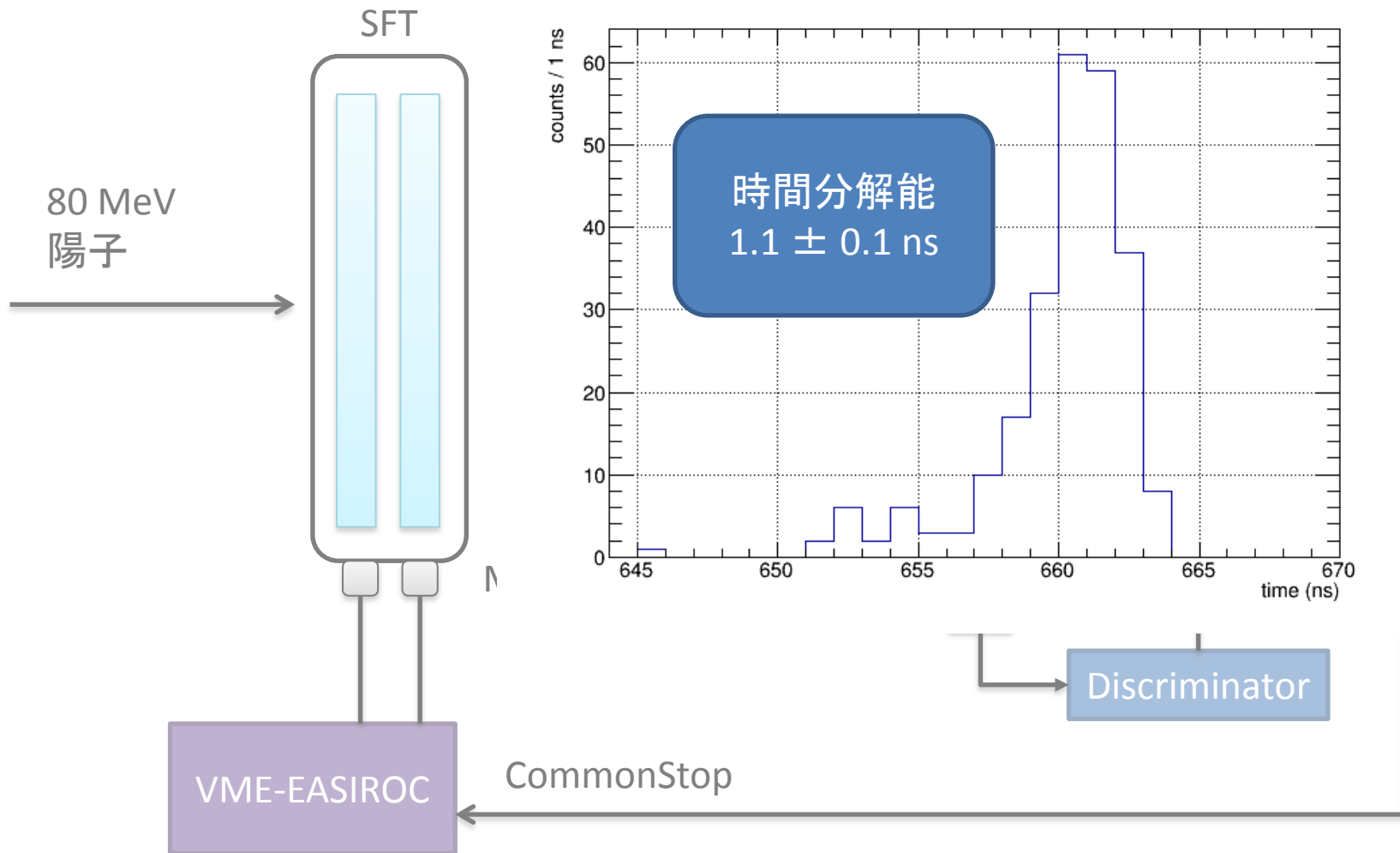
# CYRICでの時間分解能の試験

2014/9/23にCYRICにて実施



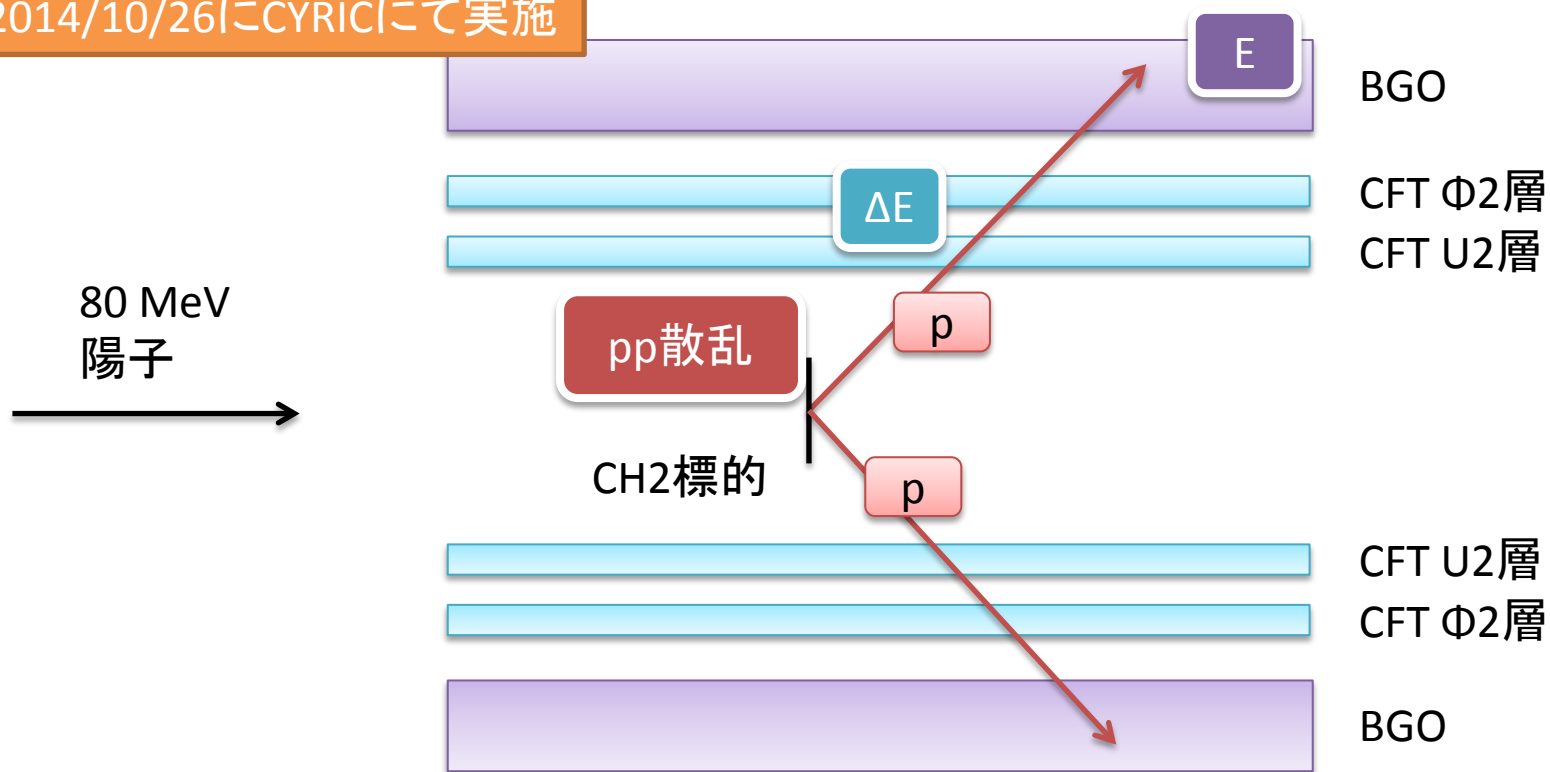
# CYRICでの時間分解能の試験

2014/9/23にCYRICにて実施



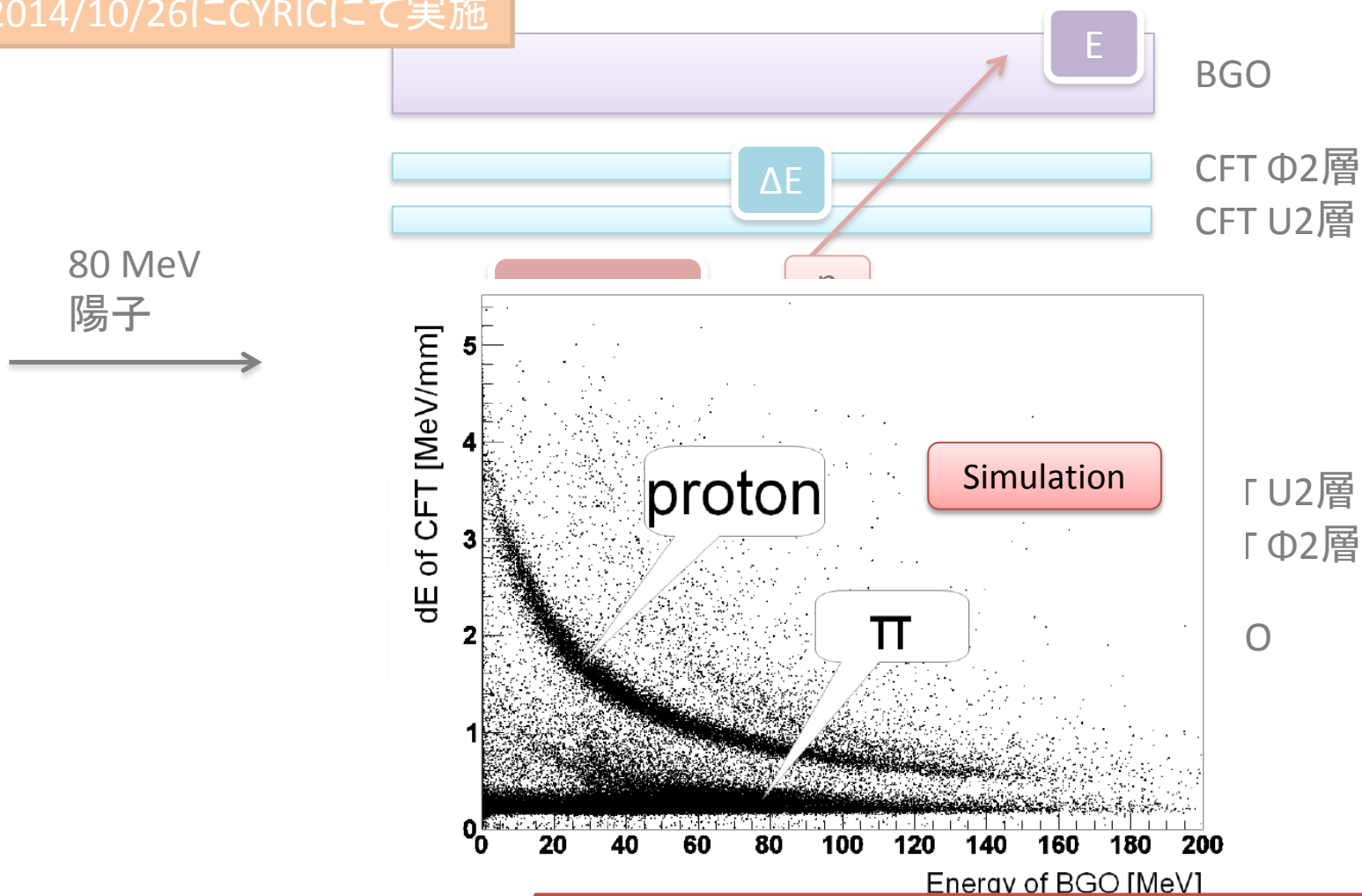
# 陽子/ $\pi$ 分離能の実験セットアップ

2014/10/26にCYRICにて実施



# 陽子/ $\pi$ 分離能の実験セットアップ

2014/10/26にCYRICにて実施

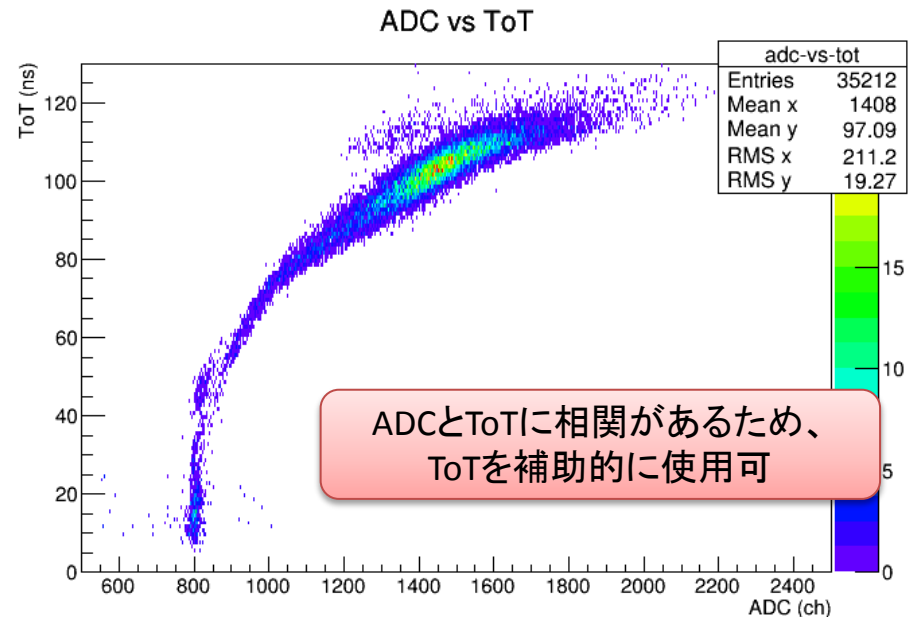
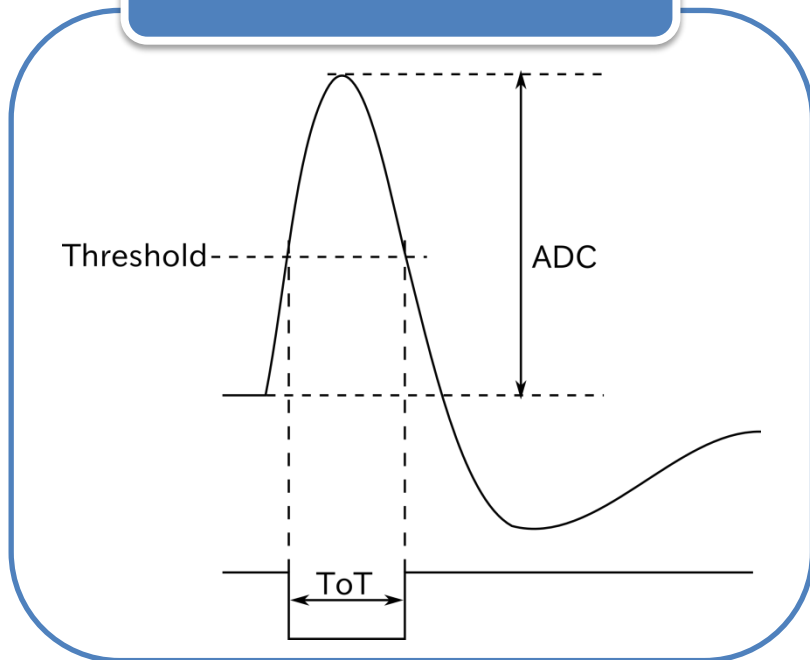


赤澤雄也. シグマ陽子散乱実験のための散乱陽子検出器群の開発. Master's thesis, 東北大学大学院, 理学研究科物理学専攻, 2013.

# ADCとToTによる $\Delta E$ 測定

TDCはLeading edgeとTrailing edgeを取得しているため、  
Time over Threshold(ToT)を計算できる

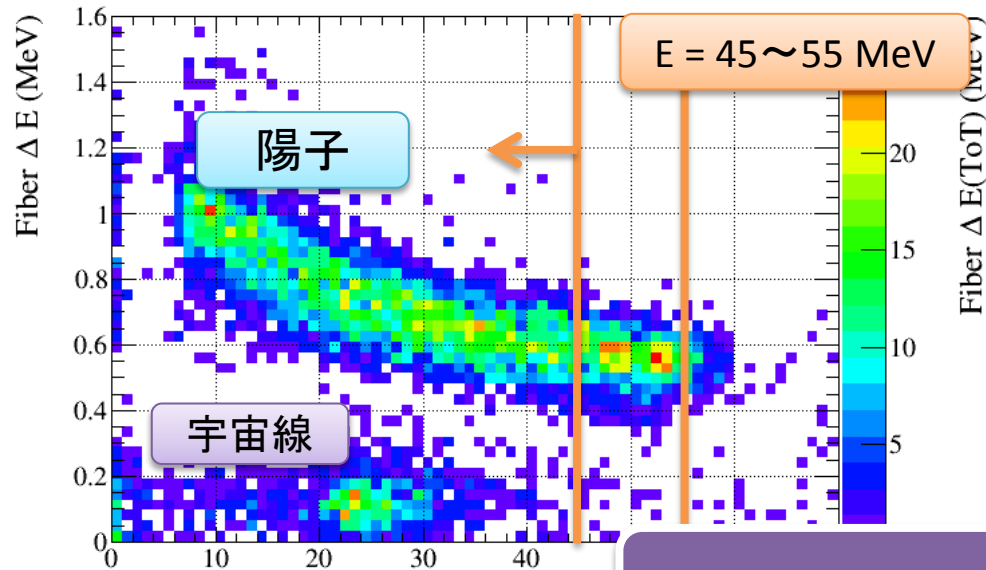
## ADCとToTの関係



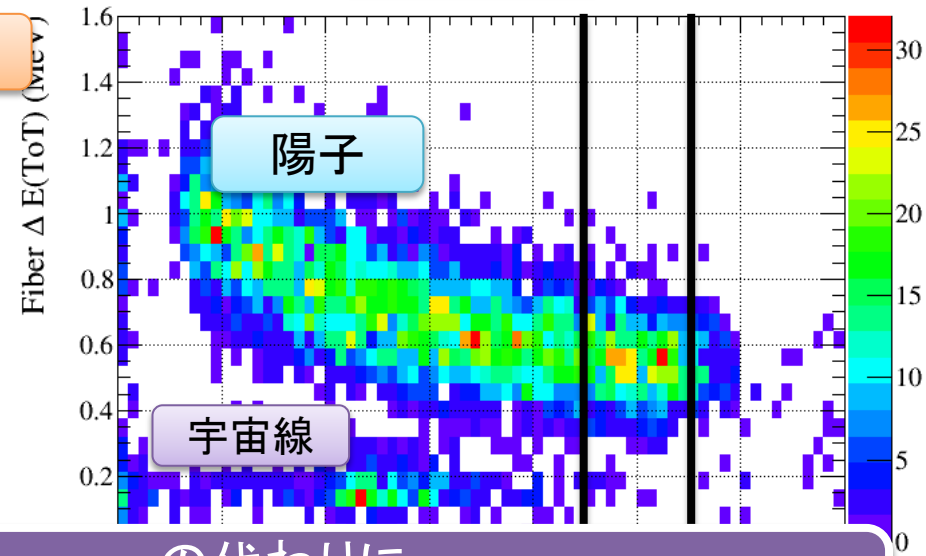
分離能をADC、ToTの双方で評価する

# E- $\Delta E$ 相関

ADCを使用



ToTを使用



$\pi$ の代わりに、  
宇宙線(Minimum Ionizing Particleの $\mu$ )を使用

陽子と宇宙線の分離が最も困難な  
 $E = 45 \sim 55$  MeVで分離能を評価

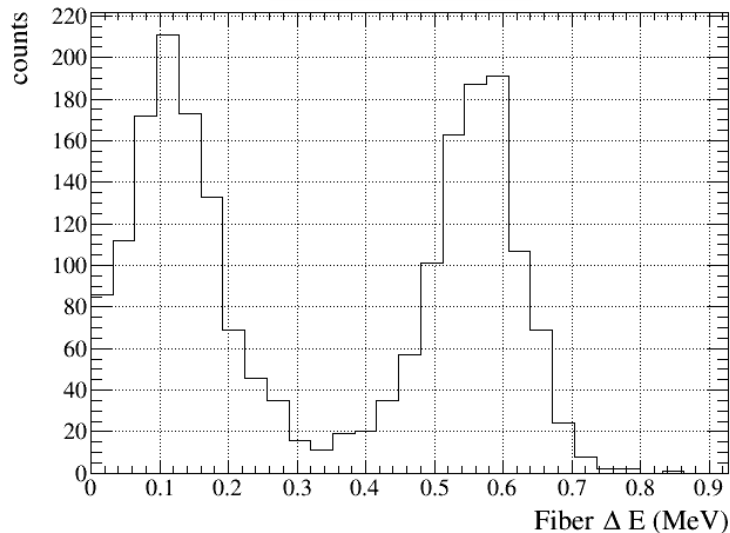
# E = 45 ~ 55 MeVの領域で分離能を評価

## 分離能の定義

$$\frac{M_1 - M_2}{\sigma_1 + \sigma_2}$$

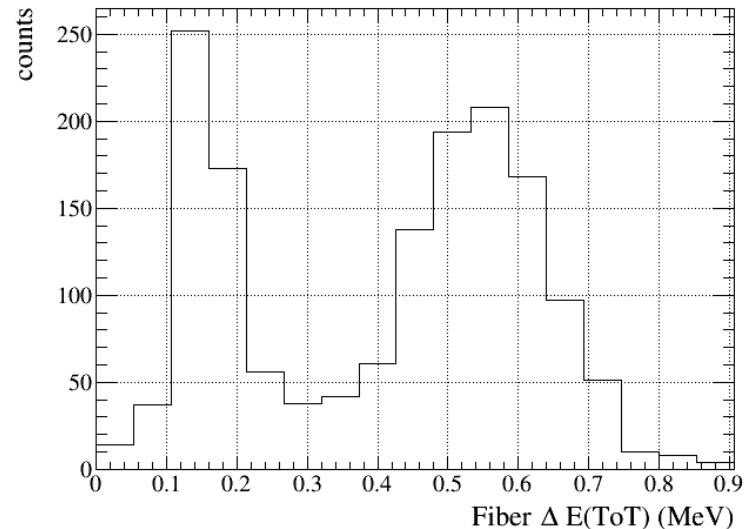
ただし、  
M1、M2は陽子と宇宙線のピークの中心値  
 $\sigma_1$ 、 $\sigma_2$ は陽子と宇宙線のピークの幅

ADCを使用



分離能:  $3.4\sigma$

ToTを使用



分離能:  $2.9\sigma$

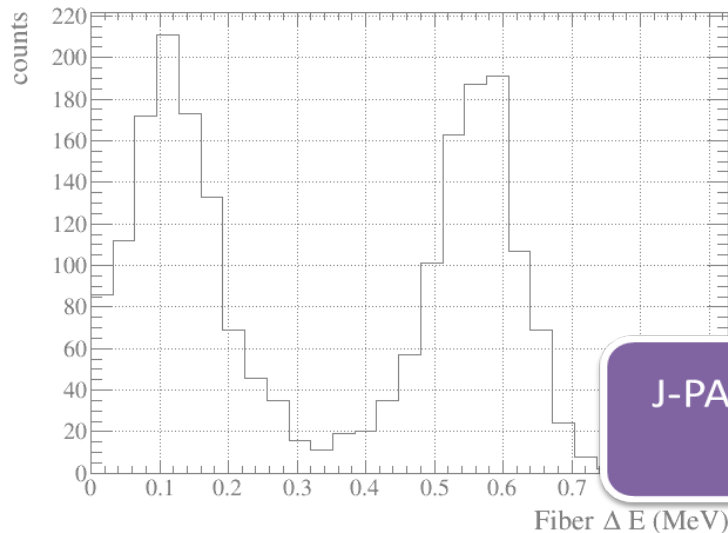
# E = 45 ~ 55 MeVの領域で分離能を評価

## 分離能の定義

$$\frac{M_1 - M_2}{\sigma_1 + \sigma_2}$$

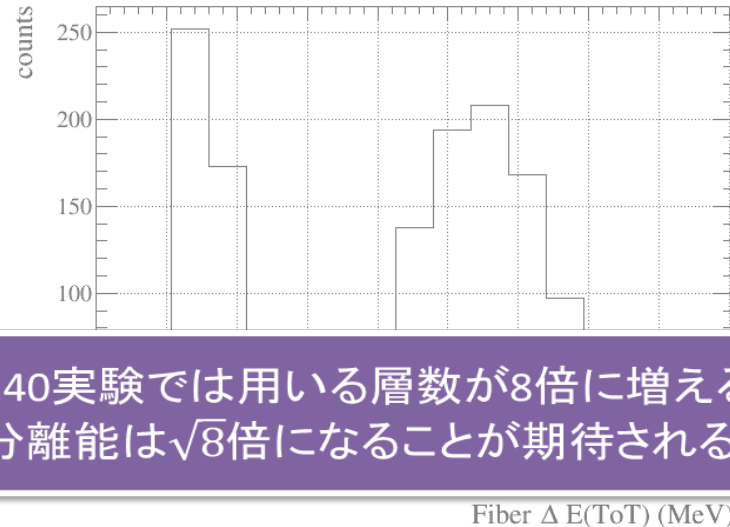
ただし、  
M1、M2は陽子と宇宙線のピークの中心値  
 $\sigma_1$ 、 $\sigma_2$ は陽子と宇宙線のピークの幅

ADCを使用



分離能:  $3.4\sigma$

ToTを使用



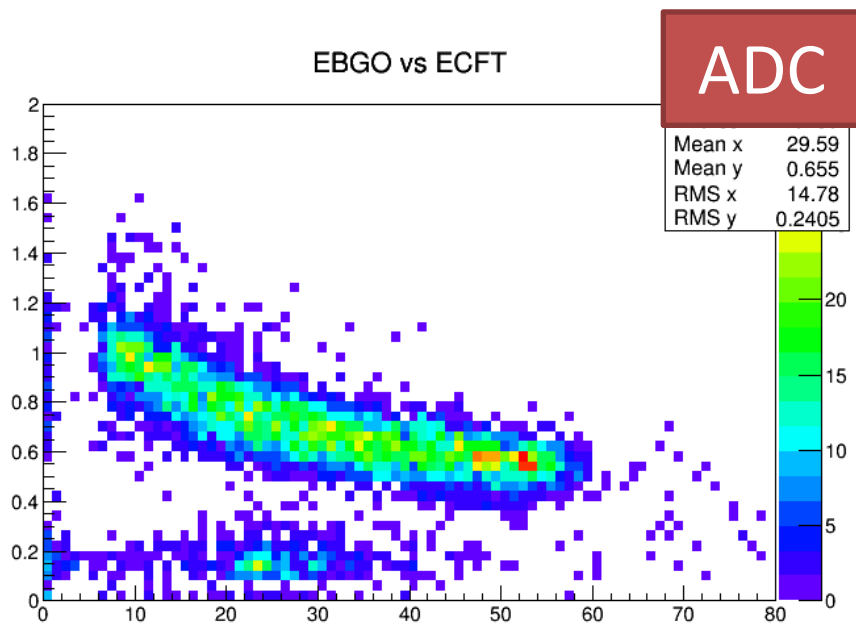
分離能:  $2.9\sigma$

J-PARC E40実験では用いる層数が8倍に増えるため、  
分離能は $\sqrt{8}$ 倍になることが期待される

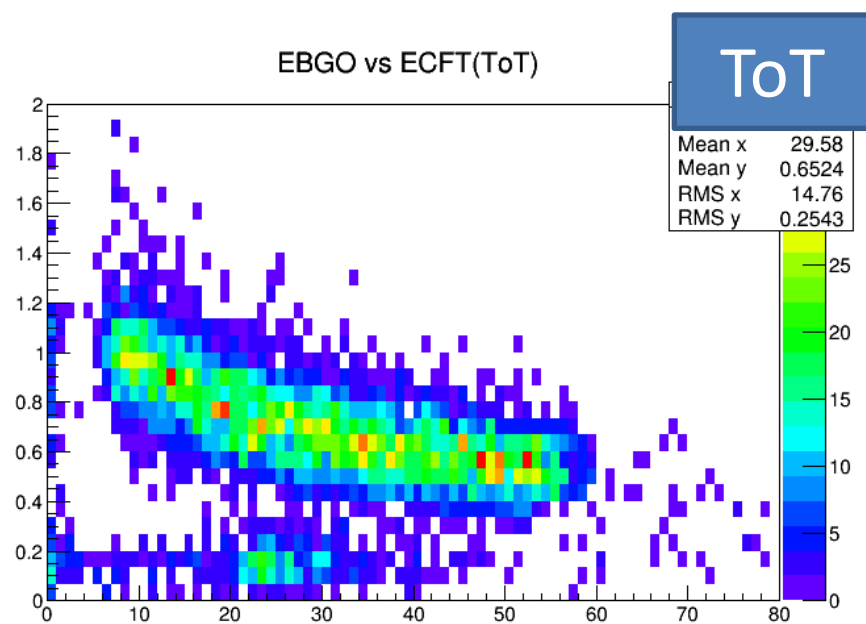
# まとめ

- $\Sigma p$ 散乱実験(J-PARC E40)実験を計画
- MPPC 64 chを読み出すVME-EASIROCボードの開発
  - ADC
    - 1 p.e.以下のADC分解能
  - MHTDC
    - 時間分解能: 618 ps ( $\sigma$ )
    - Multi-hit分離能: 7.0 ns
  - DoubleBuffer
    - PCへの転送速度: 95 Mbps
    - Deadtime: 12 us
- ファイバートラッカーを用いた性能評価
  - 時間分解能:  $1.1 \pm 0.1$  ns ( $\sigma$ )
  - $E = 45 \sim 55$  MeVの陽子/ $\pi$ 分離能:  $3.4\sigma$  (ADC)  $2.9\sigma$  (ToT)

# プリリミなり～



分離能 :  $3.8\sigma$



分離能 :  $2.4\sigma$