

## 論文概要

# Belle II シリコン崩壊点位置検出器の受ける SuperKEKB からのビームバックグラウンドの研究

東京大学理学系研究科

谷川輝

## 1 Belle II 実験

Belle II 実験は高エネルギー加速器研究機構の SuperKEKB 加速器を用いた電子陽電子衝突実験である。ビーム衝突によって生成された B 中間子などの崩壊娘粒子を Belle II 測定器で観測し、フレーバー物理を追究する。SuperKEKB 加速器は前 Belle 実験で用いられていた KEKB 加速器をアップグレードしたもので、KEKB の 20 分の 1 の細さに絞ったビームを衝突点で大角度交差させるナノビーム方式を採用し、加えてビーム電流を増強することで 40 倍の瞬間ルミノシティを実現する。そこで Belle II 検出器には、加速器の増強に伴う激しいビームバックグラウンド環境下における高速データ収集能力が要求される。Belle 実験のおよそ 50 倍に当たる高統計のデータを蓄積し、新物理を探索することが Belle II 実験の目的である。

2019 年 3 月に開始される本格物理運転 (Phase 3) に先立ち、コミッショニング (Phase 2) が 2018 年 3 月から 7 月にかけて行われた。Phase 2 では SuperKEKB 加速器を用いたビーム衝突と、Belle II 測定器を用いた衝突データの取得が初めて行われた。Belle II 測定器の中心には崩壊点検出器の代わりにその一部とバックグラウンドモニターを設置することで、ビームバックグラウンドを研究した。

本論文が着目するのは、Belle II 測定器の中心に位置するシリコンストリップ崩壊点位置検出器 (Silicon Vertex Detector: SVD) である。図 1 に SVD を示す。DSSD (両面シリコンストリップ検出器) を縦に並べたラダーと呼ばれる構造体を衝突点の周りに 4 層の円筒状に配置したもので、荷電粒子の飛跡を再構成することで B 中間子の崩壊点の決定などに貢献する。Phase 2 では図 2 に示すように各層 1 本ずつのラダーを Belle II 測定機にインストールし、コミッショニングを行った。

Belle II 実験へのアップグレードに伴って、SVD の安定、効率的かつ高品質なデータ取得を妨げる課題が 2 つある。1 つ目は、Belle II 実験で要請される 30kHz のトリガーレートが SVD の読み出し ASIC の最大読み出し速度に近いために、DAQ 効率を損なうことである。この課題を解決するために、DAQ 効率を最大化するトリガー棄却機構の開発を行った。2 つ目は、加速器の増強に伴って増加するビームバックグラウンド粒子によって SVD のトラッキング性能が低下したり、放射線損傷を受けて検出器が劣化するおそれがあることである。Phase 2 においてビームバックグラウンドを実測し、Phase 3 のバックグラウンド量を予想することでバックグラウンド環境が SVD の運転に適しているかを研究した。

## 2 トリガー棄却機構の開発

SVD の信号読み出しには、CMS 実験のシリコン飛跡検出器用に開発された ASIC である APV25 が用いられる。APV25 は 128 本のシリコンストリップの信号をシリアル化して送信するために、1 トリガーあたりのデータの出力に 26us もの時間を要する。出力待ちのデータを内部の FIFO メモリに記憶しておくことで、データ出力中もトリガーを受け付けることができる仕組みになっており、データ出力中の dead time を吸収している。但し、30kHz のランダムトリガーを制約なしに入力すると FIFO はおよそ 3ms で溢れ、APV25 が

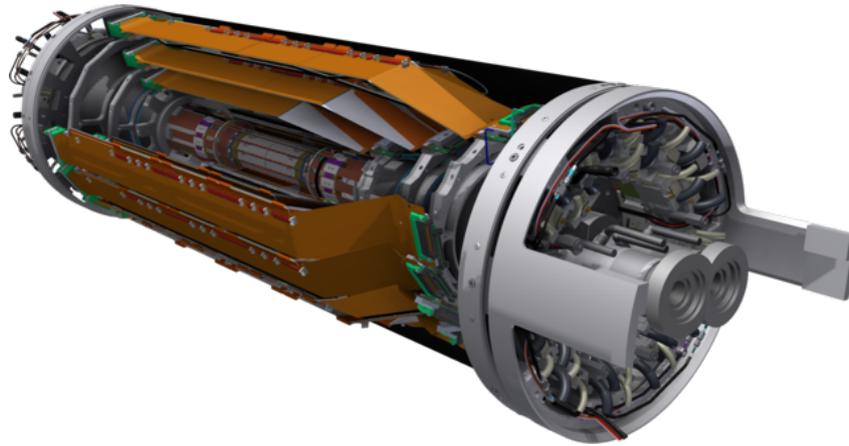


図1 Belle II 測定器の中心に位置する崩壊点位置検出器。最中央のピクセル型のシリコン検出器の周りに4層のSVDが設置される。

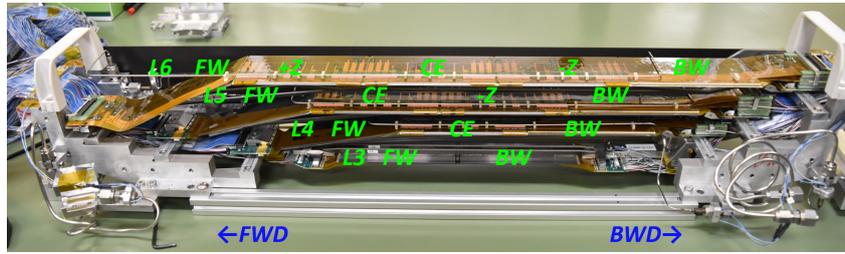


図2 Phase 2 コミッショニング用のSVD。各層ラダー1本ずつのみを用いる。

リセットを要する状態となるため、DAQの効率を著しく損なう。したがって、高速DAQを実現させるにはトリガーを適宜棄却することでFIFO溢れを防ぐ仕組みが求められる。

トリガーの損失を最小限にとどめるため、FIFOがalmost fullの時にのみトリガーを棄却することが望ましいが、APV25はこのような情報を出力しない。APV25はCMS実験用に開発されたASICであり設計は非公開であるが、著者はその動作原理を推測し、いくつかのパラメータを実測することで、APV25への入力信号のタイミングからFIFOの占有率を計算するモデルを構築した。このモデルに基づき、APV25への入力リセット信号・トリガー信号を監視することでFIFO占有率を計算し、almost fullの時にのみトリガーを棄却する機構を開発した。

Belle II実験ではトリガーごとに全ての検出器からの情報を合わせて事象再構成を行うため、トリガーはSVDの読み出しシステム内だけでなく、各検出器に分配される前に棄却される必要がある。そこでAPV25用トリガー棄却機構は、各検出器へトリガーを分配する装置のFPGA上に書き込むファームウェアとして実装した。このファームウェアの性能はトリガー損失の割合とFIFO溢れを防ぐ能力の耐久性として評価される。をPhase 2用のSVDを用いて評価したところ、図3のように棄却されるトリガーの割合はシミュレーションによる予想と一致しており、30kHzのトリガーに対しては損失の割合を3%に抑えることができることを確認した。また、50kHzのトリガーを10時間入力し続けて耐久性を試験したが、FIFO溢れは観測されなかった。この研究によってAPV25によるDAQの非効率性が最小化され、SVDの30kHzでのDAQが可能になった。

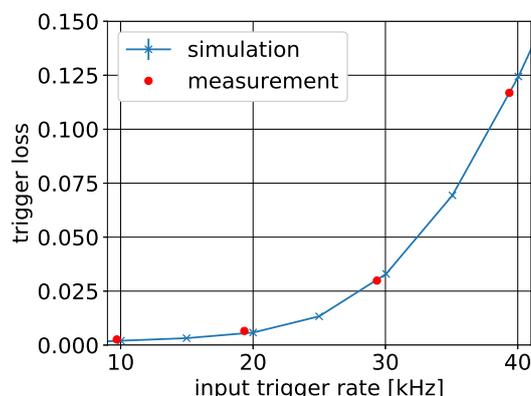


図3 APV25用トリガー棄却機構によって棄却されるトリガーの割合をトリガーレートの関数として示す。

### 3 ビームバックグラウンド研究

SVD へのバックグラウンドの主な影響は、フェイクヒットの増加によるトラッキング性能の低下と放射線損傷による検出器の劣化の2つである。Belle II 実験では Belle 実験に比べて数十倍のバックグラウンド量が予想されているため、Phase 3 に向けて SVD をインストールする前に、

- 実測に基づいて Phase 3 のバックグラウンド量を推定し、SVD の運転にとってこれが許容範囲であることを確認することと、
- SVD 近傍に設置される放射線モニター（ダイヤモンドセンサー）によって SVD を過度の被ばくから保護できることを確認すること

が必要である。そこで、Phase 2 では図 2 に示したセットアップを Belle II 測定機にインストールし、SVD へのバックグラウンド量を測定した。

SuperKEKB 加速器からのバックグラウンドは、ビーム衝突由来のものとビーム周回によって発生するものに大別され、さらに衝突由来のものは二光子過程・Radiative Bhabha 散乱などの頻度の高い衝突事象、周回ビームによるものはビームガス散乱、トウーシェック散乱、シンクロトロン放射に原因を分類できる。成分ごとにモンテカルロシミュレーションを行ってバックグラウンド量を予想するが、周回ビーム由来のバックグラウンドはシミュレーションが困難でありその精度が悪い。このため本研究では、Phase 2 での実測値と予想値の比較に基づいて Phase 3 のシミュレーション結果を補正するという方法をとる。

シミュレーションとの比較を成分ごとに行うため、ビームの情報（ビーム電流・ビームサイズ・ビームパイプ内の真空度・リング全周のバンチ数）やヒットのエネルギー分布を利用することで、測定した周回ビーム由来のバックグラウンドを各成分に分解した。シンクロトロン放射による寄与は、エネルギー分布とヒットレートのビーム電流依存性の違いを利用してビームガス散乱・トウーシェック散乱による寄与から分離した。その寄与は無視できるほど小さく、かつシミュレーションの予想よりも少ないことが観測された。ビームガス散乱・トウーシェック散乱による寄与は、ビーム密度への依存性の違いを利用して分離した。これらによる寄与は、電子リング・陽電子リングともにシミュレーションによる予想値を大きく超過しており、特に電子リングにおいては 2, 3 桁のずれがあることが分かった。

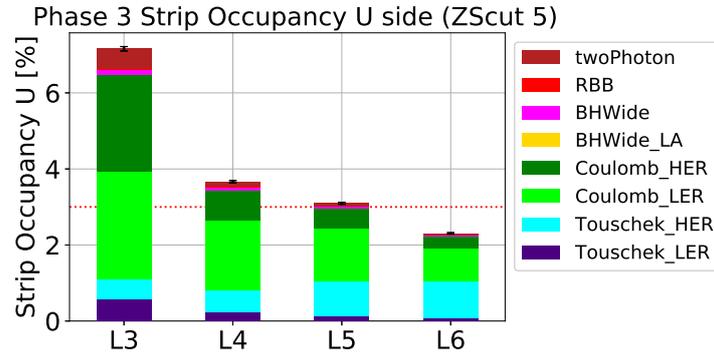


図4 Phase 3の最終的な条件においてSVD各層の受けるバックグラウンド量の予想値を成分ごとに示す。Phase 2における実測とシミュレーションの比較に基づいて補正した。赤の点線はSVDのトラッキング性能から要求される許容量を示す。

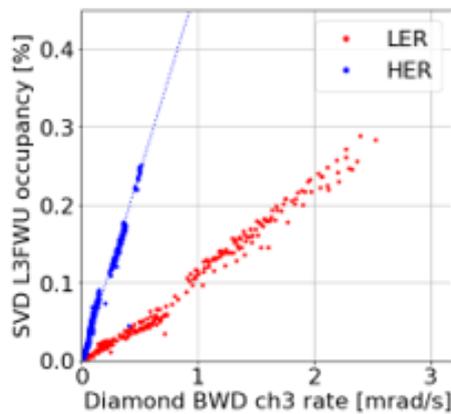


図5 SVD (横軸)とダイヤモンドセンサー (縦軸)の受けるバックグラウンド量の相関をPhase 2で測定した。両者が電子リング・陽電子リングから受けるバックグラウンドにはそれぞれ明確な相関がある。

この結果をうけてPhase 3のシミュレーション結果を補正し、Phase 3の初期と最終的な条件でのバックグラウンド量を予想した。Phase 3初期の運転で予定されるビームの条件では、バックグラウンド量はSVDにとって許容範囲であることが予想される。一方で、図4に示したPhase 3の最終的なビーム条件において予想されるバックグラウンド量はSVDの定める許容量を超過する。この予想に基づいて、Phase 3初期にコリメータやビーム光学系の調整・真空の改善によって周回由来のバックグラウンドを十分の一程度に低減するという目標を定めた。

また、ダイヤモンドセンサーとSVDの受けるバックグラウンド量を電子リング・陽電子リングにビームが蓄積されている状況でそれぞれ測定し、両者の相関を調べた。図5のように、SVDとダイヤモンドセンサーの受けるバックグラウンド量には強い相関があることを確かめ、ダイヤモンドセンサーによるビームアポートによってSVDを過度の被ばくから保護できることを確認した。

以上の研究成果から、SVDは安全かつ高性能でPhase 3運転を開始できることを確認し、SuperKEKB加速器が目標ルミノシティを達成するにあたってSVDから要請されるバックグラウンド量の低減目標を定めた。