

「測定器開発室優秀修士論文賞」概要

2024年2月26日

著者	ふりがな 氏名	たけうち ひろき 竹内 広樹
表題	ダークフォトン探索に向けた広帯域分光計の開発と評価	
論文概要 (全体で4ページに収まるようにページを増やして構いません)		
<p>宇宙のエネルギー密度のうち、およそ 1/4 はダークマターと呼ばれる未知の物質が占めていると考えられている。ダークマターはその存在が確信されているものの、エネルギー密度を除いてほとんど性質がわかっておらず、ダークマターの正体解明は宇宙物理学、素粒子物理学双方で重要な課題である。近年、ダークフォトンと呼ばれる粒子が注目されている。特に、10-1000 μeV の質量を持つダークフォトンダークマター候補 (DP-CDM) として一部のインフレーションモデルや弦理論からの動機がある。ダークフォトンは電磁場と結合定数χでわずかに相互作用し、質量m_{DP}に比例した周波数の転換光子を放出するという性質を持つ。そのため、転換光をアンテナ等で受信し分光計で周波数ピークを探す実験方法が有効である。これまで、様々な質量領域でダークフォトンの探索が行われ、私の所属する研究グループでも既に 10-26.5 GHz 帯 (41-110 μeV) での探索を行なってきた。しかし、これらの実験では分光計の帯域幅がアンテナや RF 回路が対応している周波数領域よりも狭いため、分光計の帯域幅が実験の探索速度を制限している。探索速度の向上と統計量の増加によるχの感度の向上のため、より広帯域を一度に分光できる分光計が求められる。</p> <p>そこで、4 GHz の帯域幅をデッドタイムなしに分光できる分光計を新たに開発した。周波数fの転換光の周波数ピークの幅Δfは典型的に$\Delta f/f \sim 10^{-6}$と極めて狭いため、このように非常に狭いピーク信号を検出できるよう 16 kHz の周波数分解能を確保した。実装においては RFSoc と呼ばれる ADC や CPU, FPGA などが 1 つのチップにまとめられた SoC を使い、FPGA 上に構築した FFT 回路に光処理を実装した。FFT 回路の設計にあたっては、16 並列の FFT 回路を利用することで 4 GSPS の ADC 入力を絶え間なく処理できるようにした。回路を並列化すると回路規模が増大してしまうが、回転演算回路の改良による省メモリ化や、回転演算回路の必要数を削減できるアーキテクチャの採用によって規模の増加を低減した。これらの設計の工夫により設計通りの動作クロックで FPGA への回路実装に成功し、実際に分光計を製作することができた。</p> <p>さらに、製作した分光計について性能評価試験を行った。まず、単色 RF 源を入力して予想通りのスペクトルが得られているかを確認したほか、入力電力の大きさを変えて電力を測定し、0.5%未満の精度で線形性を確認した。また、24 時間に渡って連続してデータ取得を続けられるか検証し、分光計の安定性を確認した。さらに、データ取得にかかった時間の計測と黒体輻射信号を測定する効率の評価</p>		

から、分光計が実際にデッドタイムなしで分光できていることを確認した。これらの測定により、この分光計がダークフォトン探索に有用であることを実証した。

本実験で開発した分光計を使うことでダークフォトン探索の感度向上が見込まれる。例えば、先行実験から分光計を差し替えるだけで χ に対する感度を4倍以上向上できる見込みである。さらに、今後探索を計画している170 - 260 GHz帯においても、既存の実験よりも2桁程度良い感度で探索できる見込みである。なお、製作した分光計やFFT回路に関しての特許出願も行なった。

アピールポイント

(本論文において特に自身が力を入れた部分や独自のアイデアがあれば記載してください。全体で4ページ以内に収まる範囲でページを増やして構いません。)

本論文で最も力を入れたのは限られたリソースの中で、いかにしてダークフォトン探索に適した分光計を開発できるか、という設計におけるチューニングである(2-4章)。なぜこのようなチューニングが求められるかという点、ダークフォトン探索では探索効率(帯域幅・デッドタイム)と、測定の精度(周波数分解能)が共に高水準で要求される一方で(>1 GHz帯域幅や<100 kHzの分解能)、これらの要素がトレードオフの関係にあるためである。例えば探索効率を上げるために帯域幅を広く取ると、そのままの装置では周波数分解能をその分悪くするか、デッドタイムを増やすか(つまり、探索効率が全く変わらない)、どちらかのデメリットが生ずる。

このようなジレンマの中で帯域幅、デッドタイム、周波数分解能を両立させるためにはアルゴリズムの改良が不可欠であり、本論文の核心となっている(4章)。具体的には、従来の回転演算装置からオーダーレベルでメモリの使用量を削減できる新手法の回転演算装置の開発と、それを利用する場合における回路面積の最適化を行い、4 GHzという広帯域と、16 kHzという高分解能を両立し、しかもデッドタイムなしに処理することに成功した。その結果、先行実験と比較して2000倍以上の探索効率と統計量の増大による感度の向上という形で、ダークフォトン探索において大きな貢献を成し遂げられたと考えている。

また、このような分光計を開発するにはハードウェア(アナログ回路)やファームウェア(FPGA)からソフトウェアまで、幅広い開発要素が存在するが、これを指導教員からの指導を受けつつ、主に個人で主導して開発してきたのも大きなポイントだと考えている。そのため、開発の際は物理目標のためにいかに高性能を実現するかということはもちろんのこと、それに加えて開発手法自体の効率化にも気を配ってきた(2, 3章)。

例えば、FPGA内の回路設計では高位合成と呼ばれる手法を採用しているが、素粒子実験分野ではまだあまり普及していない。このような開発手法という点においても先進的な事例と言えるのではないかと考えている。